

Editorial Note

창간호에 이어 제2호를 통해 독자 여러분께 인사 드리게 되어 반갑습니다. 이번 호에서는 창간호와 마찬가지로 SoC Review, SoC R&D, SoC Tutorial의 3개 분야별로 3개월간에 걸쳐 정리된 연구결과를 발표함과 동시에 지난 호에 일부만 발표한 연재 논문을 실게 됩니다. 금번 호의 특징은 외부 전문가의 기고를 실게 되었다는 것과 wireless communication SoC 분야중 L2/L3(Layer 2/Layer 3)에 해당하는 Radio Resource Management(RRM)에 관련된 논문을 비중있게 다루었다는 것입니다.

SITI REVIEW는 SoC Review, SoC R&D, SoC Tutorial의 각 부분에 실린 논문과 SITI News의 내용을 요약하면 다음과 같습니다.

우선 SoC Review에서는 “Current Issues and Trends of IP Based SoC Design”와 “무선 자원 관리 기술의 동향 및 이슈” 등 2편의 논문을 게재합니다. “Current Issues and Trends of IP Based SoC Design”에서는 SoC design에 관련한 IP의 분류 방법, 반도체와 SoC의 세계 시장 동향, IP의 유통 방식과 IP의 획득 방법 등을 살펴보았습니다. “무선 자원 관리 기술의 동향 및 이슈”에서는 최근 고속 데이터 전송을 포함하여 멀티미디어 서비스를 위한 이동 통신 시스템에서의 중요성이 부각되고 있는 무선 자원 관리(radio resource management) 기술의 연구 분야 중 SITI에서 진행되고 있는 연구를 중심으로 소개합니다.

SoC R&D에서는 총 5편의 논문을 게재합니다. 창간호에 이어 연재하는 “Platform Based Design of Bluetooth Using AFH Algorithm (II)”, “수신기 잡음 방정식을 이용한 RF 수신기의 요구성능 도출”, “AMR과 G.732.1간의 트랜스코딩 구현” 등 3편의 논문과 무선 자원 관리 기술과 관련하여 “무선 패킷 서비스에서 QoS를 고려한 스케줄링 IP개발”, “멀티미디어 서비스를 위한 하향 링크 호 수락 제어 IP개발” 등 2편의 논문을 소개합니다. “Platform Based Design of Bluetooth Using AFH Algorithm (II)”에서는 AFH(adaptive hopping frequency) Bluetooth의 구현, 검증, 성능에 대해 언급합니다. “수신기 잡음 방정식을 이용한 RF 수신기의 요구성능 도출”에서는 코드분할방식(CDMA)을 이용하는 CDMA

cellular, PCS, W-CDMA, cdma2000의 RF 수신기들을 시스템 레벨에서 수신기 잡음 방정식(receiver noise equation)을 이용하여 4가지 표준 각각의 최소요구 성능들을 계산하고 비교 분석하였습니다. “AMR과 G.732.1간의 트랜스코딩 구현”에서는 유/무선망을 대표하는 음성부호화기인 G.723.1과 AMR사이의 비트열을 직접 변환하는 transcoding 방법을 제시합니다. “무선 패킷 서비스에서 QoS를 고려한 스케줄링 IP개발”에서는 무선 패킷 서비스에 대해 사용자간 우선권(priority)이나 QoS(quality of service)의 제공이 가능한 스케줄링 기법이 제시됩니다. “멀티미디어 서비스를 위한 하향 링크 호 수락 제어 IP개발”에서는 실시간 서킷 서비스에 대해서는 평균 전력 레벨을 그리고 비실시간 패킷 서비스에 대해서는 평균 큐 사이즈를 고려하는 하향링크 멀티미디어 서비스를 위한 호 수락 제어 방안을 제안합니다.

SoC Tutorial에서는 창간호에 이어 “Principles of SoC(II)”를 연재합니다. 원래 이 논문은 3회에 걸쳐 다룰 예정이었습니다. 하지만 분량 관계상 이번 호에 다루기로 하였던 MCU, Bus, OS, Standard interface중 MCU와 Bus부분을 소개하고 OS와 Standard interface부분은 다음 호에서 실을 예정입니다. 따라서 연재도 총 4회로 늘어나게 됩니다.

SITI NEWS에서는 2002년 6월부터 8월까지 3개월간의 소식을 담았습니다.

저희 SITI REVIEW에서는 SITI의 연구 활동 결과와 소식을 알려드리고 동시에 SoC분야 전문가들의 논문을 실을 예정입니다. SoC 관련 최신 기술에 대한 리뷰, 연구 논문 그리고 tutorial을 게재하기를 바라시는 분들의 많은 투고 바랍니다. 끝으로 본지에 대한 독자 여러분의 지속적인 관심과 격려를 부탁드립니다.

Current Issues and Trends of IP Based SoC Design

김시호

SIPAC(System Integration and IP Authoring Center)

원광대학교 전기전자 및 정보공학부 교수

반도체 제조 기술의 발달과 더불어 휴대용 정보 시스템들의 기능은 복잡하면서도 부피가 줄어들고 전력 소비가 감소해야 하는 등 요구가 복잡해지면서 IP기반 SoC 설계는 피해갈 수 없는 반도체 설계 및 시스템 기술의 주류가 되었다. 본 고에서는 IP의 분류 방법, 반도체와 SoC의 세계 시장 동향을 살펴보고 IP의 유통 방식과 IP의 획득 방법 등을 살펴보았다.

I. IP기반 SoC 설계의 배경

SoC는 시스템의 주요 기능을 하나의 칩에 집적한 반도체 집적회로라고 할 수 있다. 따라서 일반적인 SoC에는 프로세서, 내장 RAM과 비휘발성 메모리, 인터페이스 기능 블록, 아날로그 및 혼성 모드 블록, 내장 소프트웨어 및 OS 등의 시스템을 구성하는 모든 H/W와 S/W의 기능을 포함하고 있다. IP 기반 SoC 설계는 설계 적용에 앞서서 기능이 검증된 시스템의 구성 블록인 IP를 재사용하여 SoC를 설계하는 방법이다. 따라서 일반적인 IP의 기능은 SoC의 주요 구성 블록인 프로세서, 내장 RAM과 비휘발성 메모리, 인터페이스, 아날로그 및 혼성 모드 블록, 내장 소프트웨어 및 OS 등이다.

반도체 집적회로는 인텔사의 공동 창업자인 고든 무어(Gorden Moore)가 1965년에 전망한 대로 3년마다 집적도와 성능이 2배씩 증가한다는 무어의 법칙[1]을 따라서 발전하고 있다.

그림 1을 살펴보면, 반도체의 제조 기술과 하나의 칩에 집적할 수 있는 트랜지스터의 개수의 증가 속도는 무어의 법칙에 따라서 연 약 58% 정도로 증가되고 있으나, 집적회로의 설계 능력은 컴퓨터를 이용한 설계 CAD tool의 획기적인 기능향상에도 불구하고 시장에서 요구하는 SoC의 기능이 복잡해 짐에 따라서 연 21% 정도로 발전하고 있다. 집적기술의 향상이 설계 능력의 발전속도 보다 3배 정도 빨리 성장하고 있음을 알 수 있다.

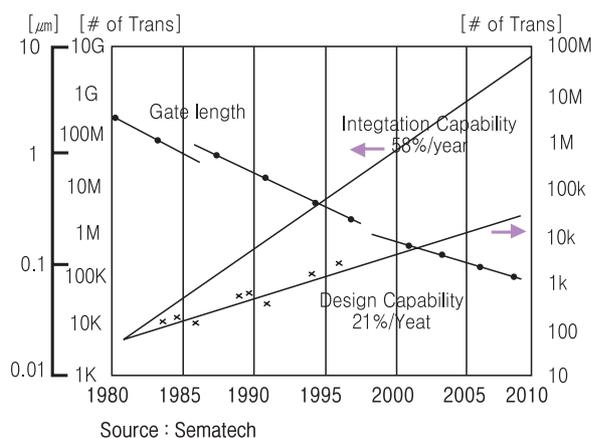


그림 1. 반도체 기술의 발전에 따른 집적도와 설계 능력의 추세

따라서, 제한된 시간 안에 성공적으로 SoC를 설계하여 “Time to Market”을 만족시키기 위해서는 기능이 검증된 IP를 재사용하여 SoC를 설계하는 IP 기반 SoC 설계 방법이 필수적으로 되었다 [2].

그림 2의 EDA today 자료와 예측에 의하면 IP를 재사용하지 않는 설계와 재사용하는 설계의 종합 설계 비용이 1998년 이전에는 별 다른 차이를 보이지 않으나 2002년도에는 약 4배정도 차이가 나며, 이러한 설계 방식에 의한 비용의 차이는 설계 및 시스템이 복잡해 질수록 벌어질 것으로 전망하고 있다.

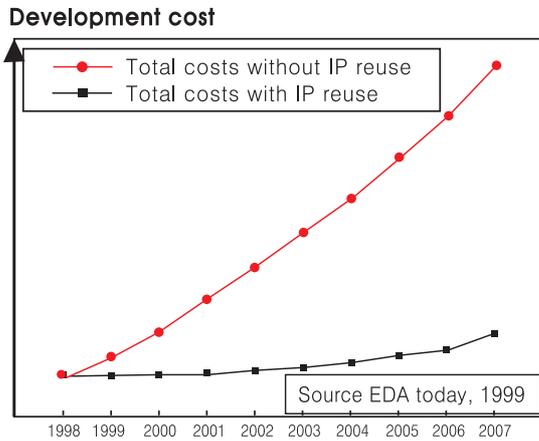


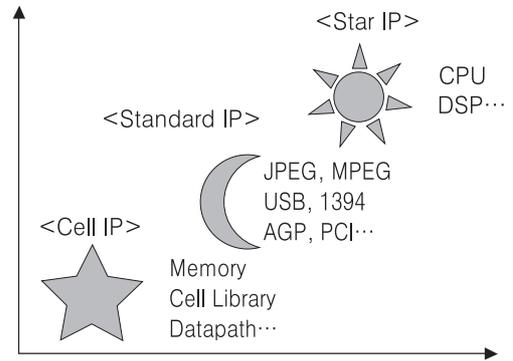
그림 2. IP 기반 설계를 통한 총 설계 비용 감소

II. IP의 분류 방식

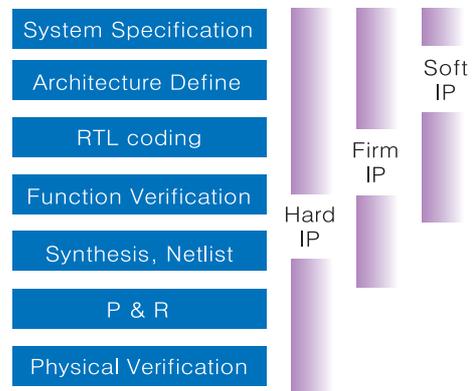
IP의 분류에 있어서 일반적으로 많이 쓰이는 방식은 Star IP, standard IP, 그리고 cell IP로 구별하는 것이다(그림 3(a))[3]. Star IP는 IP의 재사용이 매우 활발하여 IP 유통시장의 주종을 이루며 거래 금액의 40% 정도를 차지하는 것을 말하는데, 특정한 기능에 제한되지 않고 거의 모든 SoC에 채택 가능한 RISC processor core, DSP core 등의 범용 IP가 여기에 해당된다.

Standard IP는 USB, IEEE1394 등의 특정한 인터페이스 표준 방식 또는 MPEG 등의 표준 기능에 맞추어져서 개발된 IP를 말한다. Cell IP는 기존의 ASIC 설계 방식에서 사용되던 설계 library 또는 memory macro 등을 지칭한다.

IP의 개발을 위해서 일반적으로 동작 spec 결정, architecture 결정, HDL을 이용한 기능 coding, RTL 수준의 HDL coding, logic & timing simulation을 통한 검증, 논리 합성과 netlist 생성, 배치와 layout, 반도체 칩 제작과 성능 검증 등의 단계를 거쳐야 한다. IP 개발자 또는 공급자가 이용자에게 제공하는 IP는 HDL로 기술된 soft IP, 논리 합성이 완료되어 netlist로 표현된 firm IP, 그리고 mask layout이 완료된 상태인 hard IP로 구분할 수 있다(그림 3(b)). Soft IP는 IP 사용자에게 일종의 IP source code가 제공되는 것으로서 사용자에게 의하여 적용될 공정 기술, 시스템 스펙의 변경에 대응하여 IP의 기능 일부를 변경할 수 있다. 이 경우에는 IP 제



(a) 일반적인 구별방식



(b) IP의 제공 형태에 따른 분류 방식

그림 3. IP category의 분류 방법

공자는 공급자가 부정한 방식으로 IP를 사용하거나 복제하는 것을 기술적으로 막기가 어렵다. 반면 hard IP는 프로그램의 실행 코드만을 제공하는 것과 유사하여 IP 사용자는 공급 받은 IP를 다른 반도체 공정으로 이식하거나 구성을 변경하는 것이 불가능하다. 앞서 2가지 분류 이외에도 IP의 기능에 따라서 processor, memory, interface, networking 등으로 분류하는 방식이 있다. 일반적으로 아날로그 또는 mixed mode IP와 memory IP는 제조 공정에 따라서 성능의 변화가 커서 공정 간에 이식이 매우 어려우나 디지털 기능만을 구현하는 IP는 공정 간에 이식이 용이하다. 공정의 이식성에 따라서 제조 공정에 성능이 의존하는 IP와 의존하지 않는 IP로 구분하기도 한다. 다양한 개발 환경에서 개발되고 다양한 개발자로부터 공급 받은 IP를 집적하여 SoC를 설계하기 위해서는 매우 전문적이고 체계적인 설계지식을 가진 설계전문가와 효율적인 IP의 검증 및 유통 체계를 필요로 한다.

III. SoC 시장 동향

SoC의 채택이 가장 유망한 분야의 특징은 전력 소비가 매우 중요한 제품, 다양한 기능의 구현이 필요한 경우, 부피와 무게가 중요한 제품이다. SoC의 시장 동향을 살펴보면 특정한 기능을 하나의 칩에 집적하는 'Application Specific SoC'가 현재 많이 사용되고 있는 'Application Specific IC'를 대체하여 SoC 개발의 주류를 형성할 것으로 전망되고 있다. 응용 분야별로 SoC 시장을 살펴보면, 통신관련 분야 특히 무선통신 분야의 시장 수요 가장 커서 가장 큰 SoC의 적용분야로 예측되며, 정보 가전에 적용되는 SoC의 성장 속도가 가장 클 것으로 전망된다(표1). 따라서, 통신 기기와 정보 가전이 SoC의 개발을 촉진하는 촉진제가 될 것이다.

Market Segment	1999	2000	2001	2002	2003	2004	CAGR
Communications	132.7	181.0	235.5	316	424.0	575.7	34.12%
Computer & EDP	91.6	106.3	122.7	159.9	197.8	235.7	20.80%
Transportation	36.1	38.9	49.0	57.9	66.4	73.9	15.41%
Consumer	51.8	70.5	100.7	151.0	218.9	310.4	43.06%
Industrial	12.9	15.7	20.3	28.6	42.2	60.5	36.27%
Mil-Aero	3.9	4.0	4.2	4.4	4.6	4.8	4.62%
Other	16.0	20.9	26.4	35.4	42.0	50.5	25.91%
Total	344.9	437.4	558.8	753.9	996.0	1311.5	30.52%

Source Cahners In-stat Group 2000

표 1. World-wide SoC market overview

그림 4는 WSTS에서 발표한 전체 반도체 IC 시장과 SoC 시장의 자료와 전망을 보여주고 있다. 전체 반도체 시장 규모는 2001년 이후 점진적으로 증가되지만 SoC 시장의 규모의 증가폭이 커져서 2001년도에 SoC는 전체 시장의 30% 정도를 차지하고 있으나, 2005년도에는 50% 이상을 차지할 것으로 전망하고 있다.

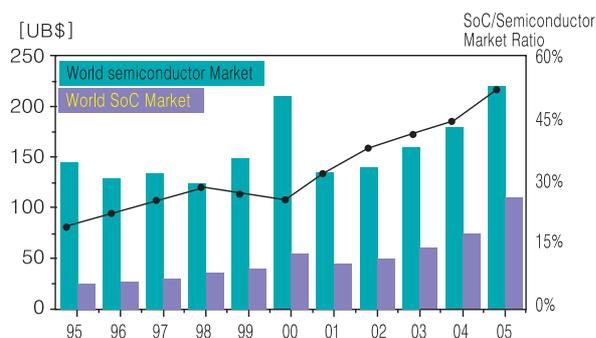


그림 4. World-wide semiconductor and SoC market

IP 시장의 특징을 살펴보면, 2000년 세계 IP 시장은 약 6.9억 달러인데 Microprocessor가 전체 IP 시장의 약 35%에 육박하는 시장의 규모를 가지고 있으며, interface 관련 IP, DSP core 관련 IP가 그 뒤를 따르고 있다(표2). Processor와 DSP core 등 상위 3가지의 IP가 전체 IP 시장의 60% 이상을 점유하고 있다. IP의 공급자를 살펴보면, 표 3에 소개된 상위 20개사가 전체 IP 시장을 차지하고 있는데, 이 중에서 국내에 기반을 둔 기업이 없는 것이 안타까운 현실이며 SITI와 SIPAC 같은 IP 개발과 유통을 위한 기관의 노력이 절실하다. IP 공급자 중에서 ARM, MIPS 및 Rambus 3사를 star IP provider라고 부르는데, 이들이 전체 IP 시장에서 차지하는 규모는 약 40% 정도이다. 그런데, 흥미로운 데이터는 전체 IP 거래 횟수를 살펴보면 이들 star IP provider 3사가 차지하는 거래 횟수는 전체 IP 거래 횟수의 5%미만이라는 것이다 [4]. 즉 이들 star IP provider들은 적은 마케팅 비용을 들이고도 매우 높은 수익을 창출하고 있는 것이다.

WSTS에서 발표한 자료를 바탕으로 2000년의 세계 IC 관련 제품의 자료를 분석해 보면 전체 IP 시장은 6.9억 달러, 전체 fabless 반도체 회사의 매출액은 163억 달러, 전체 SoC 시장은 600억 달러, 전체 반도체 IC 시장은 2040억 달러이다. 반도체 제품에서 가장 시장 규모가 팽창하는 단계가 IP 시장에서 이를 이용하여 SoC를 설계하는 단계로 IP 시장 규모에 비하여 fabless 반도체 회사의 매출액은 약 24배로 확대됨을 알 수 있다.

()는 점유율 (%)

	1999(%)	2000(%)	Growth(%)
Microprocessor	200.2(40.7)	241.5(35.0)	20.6
Bus Interface	82.6(16.8)	129.2(18.7)	56.4
DSP Core	24.5(5.0)	42.2(6.1)	72.0
SRAM	22.5(4.6)	33.9(4.9)	50.8
Data Transmission	26.5(5.4)	31.6(4.6)	19.4
Design Library	18.7(3.8)	29.8(4.3)	59.4
Networking	16.6(3.4)	22.4(3.2)	34.5
Analog&Mixed Signal	14.1(2.9)	23.8(3.4)	69.0
Nonvolatile Memory	2.1(0.4)	6.4(0.9)	204.0
Others	84.6(17.2)	129.1(18.7)	52.6
Total	492.4(100)	689.9(100)	40.1

Data Source : Gartner Group Inc. 2001/5

표 2. World-wide IP market overview (금액: 백만 US\$)

()는 점유율(%)

IP Companies	Revenues In 2000 (M\$)	Growth R. over 1999 (%)	IP Companies	Revenues In 2000 (M\$)	Growth R. over 1999 (%)
ARM	114.2(16.6)	29.0	ARC Cores	16.1(2.3)	455.2
MIPS Tech	91.6(13.3)	8.1	Tality	12.9(1.9)	120.3
Rambus	72.3(10.5)	66.6	Nurlogic	12.0(1.7)	47.9
Mentor Graph	34.1(4.9)	6.3	Tensilica	10.3(1.5)	110.2
Synopsys	33.8(4.9)	39.5	Virtual Silicon	8.2(1.2)	40.9
InSilicon	26.1(3.8)	34.8	LEDA Sys.	7.2(1.0)	94.2
Dsp Group	25.1(3.6)	32.1	Zoran	6.8(1.0)	41.7
Virage Logic	22.1(3.2)	79.4	Sarnoff	6.4(0.9)	- 43.8
Artisan	20.8(3.0)	23.7	Virtual Gr.	6.2(0.9)	67.6
Parthus Tech.	19.6(2.8)	264.5	Others	127.0(18.4)	51.8
TTP Com	17.0(2.5)	45.0	Total	689.8(100)	40.1

표 3. Top 20 list of IP providers

IV. IP의 유통 및 IP 획득 방법

SoC 설계자와 IP 개발자 모두에게 관련되는 내용은 IP가 어떻게 유통되며 제3자가 개발한 IP를 어떻게 sourcing하여 설계에 사용할 수 있는냐는 문제일 것이다. 6가지 IP획득 방법이 표 4에 나타나 있다. 가장 쉽게 생각할 수 있는 IP 획득 방법은 IP 개발자와 직접 접촉하는 것이다. 그러나, 일반적으로 IP 개발자는 IP 사용자가 요청하는 서비스를 담당할 수 있을 만큼 충분한 설계 지원 인력을 가지고 있지 않고 지리적 떨어져 있는 경우가 일반적이어서 아주 큰 규모의 거래를 하는 우량 고객이 아니면 IP 수요자와 IP 개발자와의 집적인 IP 거래는 이루어지지 않는다. IP 사용자가 필요한 것이 시스템 기능의 검증을 위한 soft IP인 경우에는 FPGA vendor를 통하여 IP를 download 받는 방법이 편리하다. Xilinx, Altera 등 FPGA vendor들은 자신이 공급하는 FPGA에서 구현 가능한 다양한 IP를 제공하는 web site를 운영하고 있다 [5,6].

Mentor, Synopsys 등 CAD tool vendor들도 자신이 공급하는 CAD tool에서 사용이 편리한 IP를 제공하고 있다. Mentor의 Inventra IPX[7]와 Synopsys사의 IP showcase[8] 등에서는 다양한 IP와 설계 Platform을 제공하고 있다. 반도체 설계 전문가를 확보하고 있지 못한 시스템 회사 또는 반도체 생산 설비를 가지고 있지 않은 fabless 반도체 회사는 design house 또는 foundry service 회사를 통하여 IP를 공급 받는 방법을 사용하고 있다. design house와 foundry가 서로 협력하여 IP를 개

IP획득방법	공 급 사
Direct contact to IP creators or developers	ARM, MIPS, Rambus, Insilicon, DSP Group, Parthus,...
Contact to CAD tool vendors	Mentor Graphics, Synopsys
Contact to FPGA vendors	Xilinx, Altera
Contact to design houses	Many design houses
Contact to foundry	TSMC, UMC, Chartered, Samsung, Hynix, Dongbu, Anam,...
Contact to IP exchange centers	D & R, VCX, IPTC, IP gateway, IP mall, SIPAC

표 4. Ways to procure third party IPs.

발하거나 제3자의 IP를 sourcing하여 성능을 검증하고 이를 고객에 제공하는 방식을 채택하고 있다. 90년대 말부터 IP 유통을 전문으로 하는 IP 유통기관이 설립되어서 활동하고 있다. 대부분의 IP 유통기관은 회원제로 운영되고 있으며 이익을 목적으로 하는 영리 기관과 IP의 개발과 유통 장려를 통한 SoC 산업을 발전을 위한 비영리 기구가 있다.

유럽지역에는 프랑스에 Design and Reuse사가 1997에 설립되었는데, IP 유통과 IP 관리 tool 판매를 수익 모델로 하고 있다. 2002년 현재 17000여명의 회원과 135사의 회원이 등록되어 있으며 분기당 약 200건의 IP 거래 matching이 이루어지고 있다. 스코틀랜드의 Alba project에서 추진하였던 IP 거래 기관인 VCX는 1998년도에 설립되었는데, 45사가 회원으로 가입하고 있다. 일본에는 IPTC가 활동하고 있으며 대만에는 비 영리 기구로 공익성을 목표로 하는 IP gateway가 활동하고 있고, 영리 단체인 IP mall이 국가의 지원으로 설립준비 중에 있다. 우리나라에는 특허청의 지원으로 설립된 비영리 IP 거래소인 SIPAC이 2001년부터 활동하고 있다.

SIPAC은 우리나라의 IP/SoC 산업의 진흥을 목적으로 하는데 IP 유통 시스템의 구축과 IP 거래를 위한 인프라 구축, IP 재사용 설계 방법 개발, IP 표준화를 주요 활동으로 하고 있다. 현재 SIPAC에는 140개의 IP가 등록되어 있으며 회원들에게 On-line 거래 시스템인 IP-EMS를 통하여 IP 중개거래 서비스를 제공하고 있다 [9].

V. 맺음말

IP 기반 SoC 설계는 반도체 기술의 발달과 시스템의 성능 향상 추세를 만족시키기 위해서는 피할 수 없는 대세의 흐름이다. 성공적인 IP business를 위해서는 산업 표준의 주도권 확보, IP business model 개발, IP 재사용 설계 방법 개발이 매우 중요하다고 본다. 현재 세계 IP 시장은 소수의 star IP 공급자에 의하여 주도되고 있으며, 이들은 매우 높은 수익률을 기록하고 있다. 국내에는 아직 IP 개발과 공급을 주사업으로 하는 회사가 많지 않으나 IP의 개발과 이를 이용한 설계가 세계 반도체 산업의 새로운 주류가 되고 있으므로 이 부분의 집중적인 육성이 필요하다. SoC의 개발과 인재 육성을 위하여 설립된 SITI와 IP의 DB와 유통 시스템 및 설계 방법 개발을 목적으로 설립된 SIPAC 등의 IP/SoC 관련 연구기관의 활동이 매우 중요하다고 하겠다.

References

- [1] 이재철, 오용호, 김시호 공저, 반도체와 정보화 사회, "IDEC 교재 시리즈 13" chapter 5, 시그마 프레스
- [2] 신민철, 박신중, "Wireless communication SoC," SITI review 창간호 pp. 5-10, 2002.
- [3] D. Chang, "IP mall - The business and challenges," "Presentation of IP Japan 2002.
- [4] Andy Travers, "Bring component alive," VCX Presentation of IP Japan 2002.
- [5] IP center at www.xilinx.com
- [6] IP Megastore at www.altera.com
- [7] Inventra IP Core at www.mentor.com/inventra
- [8] Synopsys IPDB at www.synopsys.com/products/designware/ipdir/
- [9] IP catalog 2002, SIPAC. The catalogue is also available through www.sipac.org/ipems

무선 자원 관리 (Radio Resource Management) 기술 동향 및 이슈

구자용, 김근영, 한영남
한국정보통신대학교 시스템집적기술연구소

본 논문에서는 최근 고속 데이터 전송을 포함하여 멀티미디어 서비스를 위한 이동 통신 시스템에서 중요성이 부각되고 있는 무선 자원 관리(radio resource management) 기술 동향 및 연구 분야를 SITI에서 진행되고 있는 연구를 중심으로 소개하였다.

I. 서론

고속 데이터 전송을 포함하여 멀티미디어 서비스를 위한 미래의 이동 통신 시스템에서 가장 중요한 부분을 차지하고 있는 무선 접속 기술은 물리계층과 프로토콜 계층으로 대별된다. 이 중 물리계층에 관한 기술은 변복조, 확산 / 역확산, 채널 코딩, 그리고 여러 가지의 다이버시티 기법들로 구성되어 있으며 국내에서도 지금까지 많은 연구가 수행되어 왔다. 그러나, 무선 자원 관리 (RRM: radio resource management)를 포함하는 프로토콜 분야는 상대적으로 취약한 실정이다. CDMA 방식의 이동 통신시스템에 도입된 전력제어, 소프트/소프트 핸드오프 등은 SIR (signal to interference ratio)의 제어 및 측정을 통해 주파수, 전력, 간섭, 그리고 코드 등의 무선 자원을 효율적으로 관리하여 용량 및 성능의 개선을 도출하였다. IS-95 방식의 CDMA 시스템 용량 분석에서도 제시되었듯이 실질적인 용량의 증대나 성능의 개선은 무선 자원의 효율적 관리를 통해 얻어졌음을 알 수 있다.

Packet 데이터 전송이 주가 되어질 "IMT-2000 and systems beyond", 그리고 4G (4th generation) 이동 통

신 시스템에서는 다양한 QoS (quality of service)를 요구하는 트래픽 전송을 위해 호 수락 제어 (CAC: call admission control)/혼잡제어 (CC: congestion control), 동적 채널 할당 (DCA: dynamic channel allocation), 핸드오프 (handoff), 전력 제어 (PC: power control), 전송율 제어 (RC: rate control), 패킷 스케줄링 (scheduling), 회선·패킷이 공존하는 시스템에서의 하이브리드 스케줄링 (hybrid scheduling), ARQ (automatic repeat request)등이 매우 중요하게 다루어져야 할 연구 주제들이다. 표 1에 디지털 이동 통신의 발전과 이에 따른 핵심 무선자원 관리 기법들을 제시하였다. 앞으로의 이동통신 시스템은 다중 접속 기술인 TDMA 방식 (GSM: Global Systems for Mobile, 유럽식)과 CDMA 방식 (cdmaOne, 미국/국내식)의 혼합된 형태로서 결국 CDMA/TDMA/FDMA의 Multi-carrier, 혹은 Frequency Hopping등 Ultra Wideband를 요구하는 형태의 접속 방식으로 공통 네트워크인 All-IP (혹은 Full-IP)를 지원할 수 있는 시스템으로 예측된다. 또한 100% coverage와 핸드오프를 지원하지는 않지만 고속의 데이터를 전송하는 Non-cellular 타입의 시스템도 통합되어질 것으로 예측된다.

		2G	2.5G	3G	4G
System	Cellular	IS-95 GSM	1xEV-DO HSDPA	1xEV-DO WCDMA	Always Best Connected
	Non-cellular	-	-	INFOSTATION	
Traffic		Circuit data	Packet data	Circuit + Packet data	All Packet
Radio Resource Management issue		CAC, DCA, Handoff, PC	CAC/CC, Handoff, PC/RC, Scheduling, ARQ	CAC/CC, DCA, Handoff, PC/RC, Hybrid Scheduling, Load Sharing, ARQ	CAC/CC, DCA, Handoff, PC/RC, Hybrid Scheduling, Load Sharing, ARQ

표 1. 이동 통신 시스템의 진화와 무선자원관리

II. 무선 자원 관리 핵심 기술

무선자원 관리 기술의 예로 호 수락 제어, 혼잡 제어, 동적 채널 할당, 핸드오프, 전력 제어, 전송을 제어, 패킷 스케줄링, 부하 공유 방안, ARQ 등을 들 수 있다. 무선 자원 관리의 핵심 기술은 그림 1에 도식된 바와 같이 트래픽의 종류, 송신단의 시스템 특성, 채널 특성 그리고 수신단으로부터 요구되는 정보를 받아 종합적으로 무선 구간의 자원을 관리하는 최적의 방안들을 구축하는 시스템 기술이다.

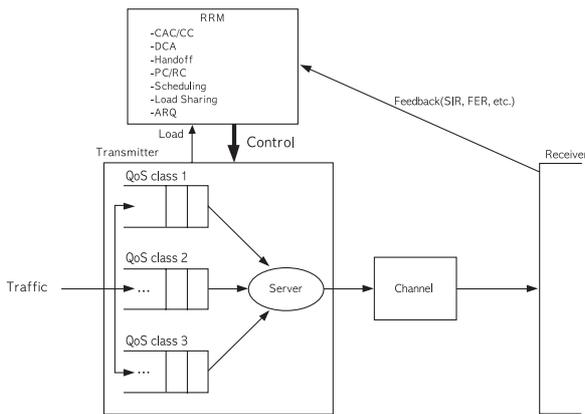


그림 1. 무선 자원 관리 핵심 기술

III. 무선 자원 관리 이슈 및 기술 동향

본 절에서는 기존에 SITT에서 수행된 연구의 내용 및 결과를 중심으로 무선자원 관리 기술의 이슈에 대해 정리하였다.

1. 호 수락 제어(Call Admission Control)

호 수락 제어는 일정한 기준에 의해 자원 할당을 요구하는 호에 대한 허용 여부를 판단하는 것으로 한 셀 내의 총 호 수를 직접적으로 제어하므로 간섭량에 의해 용량이 제한되는 CDMA 시스템에서 중요한 역할을 한다. 호 수락 제어에 대한 연구는 호 수락 여부의 결정 기준에 따라 분류될 수 있는데 [1]에서는 음성과 데이터호가 공존하는 경우, 역 방향에서 기지국의 총 수신 전력에 기반을 둔 호 수락 제어 방안을 제시하였다. 기지국의 총 수신 전력은 셀 부하와 SIR값을 나타내는 척도이기 때문에 호 수락 제어 시 중요한 파라미터이다[11]. 성능 분석을 통해 임계 최적치를 제시하였으며, 트래픽 종류에 따라 각각 다른 임계치를 설정함으로써 우선권 (priority)을 주는 효과를 얻을 수 있음을 제시하였다.

또한 계층 셀 구조에서의 수락제어 기법도 용량 증대를 위한

핵심기술로서 [2]에서는 마이크로셀이 매크로셀에 중첩된 다층 셀 구조에서의 호 수락 제어 성능을 분석하였으며 효율적인 호 수락 제어 기법을 제시하였다.

2. 핸드 오버(Handover)

핸드 오버는 이동국이 서비스중인 기지국(또는 섹터) 영역을 벗어나 다른 기지국(또는 섹터)으로 이동을 할 때, 계속 통화를 유지하기 위해 통화로를 이동한 셀로 바꾸어주는 것을 말한다. 기존의 통화하던 회선을 먼저 끊은 뒤, 새로운 기지국으로 연결하는 방식인 하드 핸드오버(hard handover)를 지원하는 아날로그 방식과는 다르게 CDMA 시스템에서는 두 개의 기지국(또는 섹터)과 통화로를 유지할 수 있는 기능인 소프트 핸드오버(Soft Handover)도 지원한다. 소프트 핸드오버는 역방향 링크에서 다이버시티 효과에 의해 셀 반경 및 용량 증대에 기여함이 증명되었다[10].

[3]에서는 핸드오버에 필요한 사항 중에서 WCDMA 시스템에서 핸드오프 유발을 위한 핵심요소인 cell search 성능 분석을 수행하였으며 특히 inter-frequency 핸드오프시에 사용되는 compressed mode에서의 적절한 TGL(transmission gap length)을 제시하였다.

3. 전력 제어, 전송을 제어, 스케줄링, 혼잡제어

CDMA 시스템에서는 이동국과 기지국 거리 혹은 페이딩 등으로 인해 수신되는 신호전력의 차가 매우 크게 발생하는데, 이런 환경을 극복하고 가입자 수용용량을 최대화 하기 위해서는 수신 신호대 잡음비가 일정하도록 하기 위해 전력제어가 필요하다. 무선 링크의 신호대 잡음비를 향상시키기 위해 사용자의 전력을 증가시키면, 이는 다른 사용자들에게 간섭으로 나타나고, 다른 사용자들은 통화 품질을 유지하기 위해 역시 전력을 증가시키는 결과를 초래한다. 최근에는 무선 채널에서 이메일, 파일전송, WWW 등의 다양한 서비스가 제공될 것으로 예측된다. 이러한 서비스들은 각각이 다른 형태의 서비스 요구 조건을 가지고 있다. 화상전화와 같은 실시간 통신에서는 어느 정도의 전송 에러를 허용하지만, 최소한의 전송 속도를 유지하여야만 서비스가 이루어지고 반면에, 파일 전송과 같이 전송 지연에 어느 정도 민감하지 않은 서비스들은 전송 속도를 잠시 동안 최소로 떨어뜨릴 수 있다. 즉, 사용자의 서비스 형태에 따라 무선망의 혼잡도를 고려하여 전송률을 제어한다면 무선 자원을 효율적으로 사용할 수 있다[4]. 스케줄링은 서비스 요청에 대해 시스템을 효율적으로 활용하기 위해 전송할 사용자, 전송 시점, 전송률 등을 결정하는 기법이라 할 수 있다. 현재 무선

자원 관리 연구 개발은 전력 제어, 전송율 제어, 패킷 스케줄링, 혼잡 제어는 주제별로 독립적으로 연구된다기 보다는 상호 혼합된 상태 (예를 들어, 전력제어 + 전송율제어, 전력제어 + 스케줄링, 전력제어 + 혼잡제어)로 고려하는 것이 일반적인 추세이다. [5][6]에서는 순방향의 간섭 특성 및 외루프가 순방향 용량에 미치는 영향을 분석하였다. 역 방향과 다른 순방향 간섭의 특성을 분석함으로써 간섭 모델을 제시하였으며 제시된 모델을 통해 용량을 도출하고 이상적인 외루프 전력 제어에 따른 용량의 증가를 보였다.

4. 동적 채널 할당

WWW등의 트래픽은 상향 링크에 비해 하향 링크의 트래픽이 훨씬 많을 것으로 예상된다. 따라서 상·하향 링크에 동일한 대역폭을 할당하는 FDD 방식으로는 트래픽의 효율적인 수용이 불가능하다. [7]에서는 상·하향 링크간 비대칭성시 효율적 대역폭 사용이 가능한 TDD 시스템에서, 서비스되는 트래픽의 패턴에 따른 동적인 채널 할당을 수행하였으며 최적 링크간 용량 비를 보였다. 또한 인접 셀 간 다른 슬롯 구조로 인한 링크간 간섭 발생시의 성능을 분석하고 간섭을 최소화시키는 채널 할당 방법과 채널 할당 문제에 대한 최적화 기법을 도입하고 그 결과들을 제시하였다.

5. 시스템 최적화

언제, 어디서나, 누구와도 가능한 통신을 제공하기 위한 이동통신 시스템에서 무선자원 관리 방안들은 주파수 자원의 효율성을 향상시켜 가입자 용량을 극대화하려는 시스템 수준의 모든 노력을 포괄하고 있다. 이러한 관점에서 셀룰라 개념 자체가 최초의 무선 자원 관리 기법으로 간주될 수 있다. 트래픽이 일 부분에 집중된 hot spot의 효율적인 관리를 위해서 매크로셀과 마이크로 셀을 중첩시킨 형태의 셀 형태도 생각할 수 있다. [8]에서는 CDMA System에서 음영지역 해소와 가입자의 용량증대를 목적으로 매크로셀과 같은 주파수를 사용하는 마이크로셀을 도입하였을 때 시스템의 용량분석을 수행하였다. 단말기의 출력을 트래픽 분포에 따라 동적으로 조절하여 매크로셀과 마이크로셀의 부하평형을 유지함으로써 트래픽의 변화가 심한 시스템의 효율을 증가시키는 방안을 제시하였다. 또한 같은 주파수를 공유하는 매크로셀과 마이크로셀 구조에서 상호 간섭을 고려하여 요구 SIR과 전송율이 다른 다중 클래스에서 마이크로셀의 성능을 분석하였다. 성능 결과로서 매크로셀 시스템에 hot-spot 마이크로셀을 도입한 계층 셀 구조가 기존의 단순한

매크로셀 구조보다 2배 이상의 용량 증가를 가져옴을 보였다 [9].

IV. 향후 계획

SITI에서는 3세대 이동 통신 시스템의 용량 극대화를 위한 무선 자원 관리 핵심 요소기술을 확보하며 시뮬레이터 구축을 통해 용량 도출 및 파라미터 최적화를 달성할 계획이다. 특히 회선 교환 방식과 패킷 교환 방식이 혼재된 시스템을 중심으로 무선 자원 관리 개선 방안을 제시한다. 또한 효율적인 구현 방안을 제시함으로써 시스템 설계에 활용 가능토록 한다. 향후 구현할 구체적인 무선 자원 관리 핵심 기술과 주요 내용을 기술하면 다음과 같다.

▶트래픽 모델링: 알고리즘의 검증에 위해 다양한 종류의 트래픽(HTTP, WAP, FTP, e-mail, video streaming, voice)을 모델링하고 이를 시뮬레이션 등에 사용할 수 있도록 프로그램한다.

▶호 수락 제어 방안 연구: 음성호 서비스 위주인 기존의 시스템에서 적용되었던 CAC 알고리즘은 멀티미디어 서비스가 목표인 3G 시스템에서는 부적합하다. 또한 downlink와 uplink의 트래픽 특성에 따른 적절한 CAC 알고리즘이 요구된다. 따라서 본 연구소에서는 실시간 서비스와 비실시간 서비스의 다양한 요구 QoS를 만족할 수 있고 실시간/비실시간 서비스간 우선권 부여, 새로운 호/핸드오버 호간 우선권 부여가 가능한 CAC 알고리즘을 개발하여 시스템 용량 최적화 및 안정화를 이룬다.

▶핸드오버 관련 연구: 핸드오버 알고리즘이 용량 및 서비스 품질에 미치는 영향에 관한 분석과 상호 비교를 통해 서비스 종류 및 트랜스포트 채널 특성에 적합한 핸드오버 알고리즘을 선정하여 개발한다.

▶전력 제어: 지금까지 개루프 전력제어와 폐루프 전력제어에 대한 성능 분석이 진행되어 왔으나, 각각 또는 동시 적용시의 효율성 분석을 통한 최적 운용이 요구된다. 또한 오류율이 낮을수록 기존 FER check방법만의 외루프 전력제어방법은 오차가 커지므로 고속 패킷 전송시 개선 방안이 요구된다. 이를 위해 채널 모델을 포함, 개루프/폐루프를 동시에 적용하는 전력제어의 transfer function을 구한 후 linearization을 통해 성능을 분석하고, 환경 변화나 전송 패킷의 유무에 따라 외루프 전력제어의 step size를 적응적으로 변화하여 soft한 FER (frame error rate)의 추정을 가능하게 할 수 있도록 알고리즘을 제안

한다.

▶스케줄링 방안 연구: 음성호 서비스 위주의 시스템과는 달리 패킷 트래픽은 bursty한 특징을 가질 뿐 아니라 트래픽 별로 다양한 QoS를 요구한다. 또한 트래픽 특성과는 별도로 사용자 간 혹은 서비스간에 대한 우선권 지원이 가능한 스케줄링 알고리즘을 제시해야 한다. 이를 위해 먼저 기존의 스케줄링 알고리즘을 비교한 후 QoS보장 및 우선권 부여가 가능한 스케줄링 방안을 제시한다.

V. 결론

이동통신 시스템의 무선 자원 관리는 동일 채널 간섭을 어떻게 시스템 전체에 적절히 분배할 것인가의 문제로 요약될 수 있다. 이는 시스템이 음성을 주로 지원하는 2세대 시스템까지는 비교적 성공적으로 해결되었다고 평가받고 있다. 그러나, 다양한 형태의 서비스를 수용해야 하는 시스템으로 발전을 위해 새로운 형태의 다양한 무선 자원 관리 기술이 요구되어 진다. 이는 이전 세대에서 사용되어 지던 방식의 단순한 확장에 의해서는 이루어질 수 없을 것이다. 고 집적도, 저 비용의 하드웨어 구축에 의한 물리 계층의 시스템 성능 개선과 더불어 앞으로 더욱더 중요한 비중을 차지할 무선자원 관리 기술에서 핵심적 위치를 차지할 수 있도록 모든 노력을 경주해야 할 것이다.

References

[1] K. Kim, Y. Han, "Call Admission Control with Thresholds for Multi-rate Traffic in CDMA Systems," Proceedings of VTC Spring 2000 (awarded as a Best Paper in VTC).

[2] 황유선, 한영남, 김영휘, "계층구조 셀룰라 시스템에서의 호 처리 방안," Telecom. Review 지 8권 6호, 1998.

[3] 구자용, 한영남, 방승찬, "Performance Analysis of a Compressed Mode in WCDMA/FDD," JCCI' 00, Vol.2, pp. 705-710.

[4] 한영남, 김성륜, "차세대 DS/CDMA 이동통신 시스템에서의 무선자원 관리," Telecom. Review 지 10권 4호, 2000.

[5] Hoon Kim, Jayong Koo, Youngnam Han, Chankoo Kang, "Forward Link Capacity Based on Interference Characteristics in CDMA Systems," VTC Fall 2000, Vol.2, pp 592-596.

[6] Hoon Kim, Jayong Koo, Youngnam Han, Seung-Chan Bang, "Outer Loop Power Control Effect on Forward Link Capacity of CDMA Systems," CIC' 00.

[7] Jiwoong Lee, Youngnam Han, Dongseung Kwon, "An Adaptive Time Slot Allocation Strategy for W-CDMA/TDD System," VTC 2001 Spring, Vol.4, pp. 2509-2513.

[8] Jongin Kim, Youngnam Han, Jiwhan Ahn, "Adaptive Traffic Control Scheme in Hierarchically Structured CDMA Cellular Systems," pp.2192-2196, Proceedings of VTC Fall 2000, Boston.

[9] Cheolin Joh, Keunyoung Kim, Youngnam Han, "Performance of a Microcell with Optimal Power Allocation for Multiple Class Traffic for Multiple Class Traffic in Hierarchically Structured Cellular CDMA systems", VTC Spring 2001.

[10] A.J. Viterbi, A.M. Viterbi, K.S. Gilhousen, E. Zehavi, "Soft Handoff Extends CDMA cell coverage and Increases Reverse Link Capacity," SAC, Vol.12, Issue 8, Oct. 1994, pp. 1281-1288.

[11] Zhao Lui, M. El Zarki, "SIR-Based Call Admission Control for DS-CDMA Cellular Systems," SAC, Vol.12, Issue 8, May.1994, pp. 638-644.

Platform based design of Bluetooth using AFH(adaptive frequency hopping) algorithm(II)

이승범, 박신중
한국정보통신대학교 시스템집적기술연구소

2.4Ghz ISM 대역에서 동작하는 Bluetooth와 WLAN(802.11b)은 상호간 interference로 작용하여, 성능이 크게 저하된다. 두 장치간의 coexistence를 위한 방안으로 adaptive hopping frequency (AFH)이 제안되었다. 이 논문에서는 새롭게 제안된 AFH알고리즘을 platform기반으로 Bluetooth로 설계, 구현하여 그 성능을 검증하였다. SITI Review 창간호[1]에서 AFH 알고리즘 및 platform based design 방식에 대해 이미 언급하였다. 이 글은 제 2부로, 1부의 내용을 간단히 정리하고 AFH Bluetooth의 구현, 검증, 성능에 대해 언급하고자 한다.

I. 서론

2.4Ghz 대역에서 동작하는 Bluetooth는 동일한 대역에서 동작하는 WLAN, 무선전화기, 마이크로웨이브등에 의한 신호 간섭을 받아, 성능이 크게 저하된다. 특히, 컴퓨팅환경에서의 무선랜과 블루투스가 함께 사용되는 경우가 증가하므로, 이 두 기기 사이의 상호공존을 위한 방식들이 제안되었다. Collaborative 방식은 블루투스와 무선랜이 상호간 전송에 대한 정보를 교환하고, 이를 바탕으로 각 시스템은 상호에게 할당할 시간 슬롯동안 자신의 패킷을 전송하는 방식이다[2]. Non-collaborative 방식 가운데, Y-H. You는 블루투스의 ACL(Asynchronous Connection-oriented Link) 링크의 throughput을 향상시키기 위해, 채널의 good, bad상태에 따라 packet type을 선택하였다[3]. 주파수도약시스템(FHSS)에서는 알려진 간섭채널에 대해서는 채널상태에 따라 호핑패턴이나 시퀀스를 변화시킴으로 간섭을 최소화시킬 수 있다[4].

따라서 [5]에서는, 블루투스가 스스로 간섭채널을 인식하고, 호핑시퀀스에서 이러한 간섭채널을 배제하였다. 이러한 L_mode frequency hopping(LFH) 방식은 소수의 pico-net환경에서는 throughput을 최대화할 수 있다. 만약 피코넷의 수가 증가하면, multiple access

interference(MAI)가 증가하게 된다. 따라서, Bluetooth의 throughput이 급격히 감소하게 된다. H_mode방식(HFH)은 good channel 블록과 bad channel블록을 일정한 길이만큼 사용하여 호핑 시퀀스를 생성하였다[5].

새롭게 제안한 알고리즘은 RSSI의 분산값과 패킷 에러에 기반하여 호핑채널의 상태를 인식하고, 이 정보를 바탕으로 블루투스는 연속적인 두개의 호핑시퀀스를 동일한 상태의 채널로 매핑하는 방식인 AFH를 제안하였다[5]. 이 논문에서는 [1]에서 제안한 AFH알고리즘을 지닌 블루투스를 platform기반으로 설계방식으로 설계, 구현하여 그 성능을 검증하였다. 이 논문은 다음과 같이 구성되어 있다. 2장에서는 간단히 AFH알고리즘을 설명하고 이론적인 성능을 보였으며, 3장에서는 AFH를 지닌 Bluetooth의 platform기반의 설계에 따른 구현과정을 보였다. 4장에서는 그 성능을 보였으며 5장에서는 결론을 보였다.

II. 알고리즘

먼저 AFH알고리즘의 각 호핑 채널에 대한 상태를 결정하는 과정은 다음과 같다. 만약 RSSI(received signal strength indicator)의 분산이 기준치보다 크고, 패킷 에러가 발생할 경우, 이 호핑 채널은 간섭 채널(I)로 인식된

다. I 상태는 이 호핑 채널이 무선랜, 무선전화기와 같은 다른 무선 통신시스템이 사용하고 있음을 의미한다. 만일 RSSI의 분산이 기준치보다 작고, 패킷 에러가 발생할 경우, 이 호핑 채널은 노이즈 채널(N)으로 인식된다. N 상태는 낮은 SNR 혹은 MAI로 인해 패킷 에러가 일시적으로 발생하였으나, 이 호핑 채널이 다음에 사용될 경우 패킷 에러가 발생하지 않을 가능성이 높음을 의미한다. 만일 다음에 이 호핑 채널에 대해 다시 패킷 에러가 발생할 경우, 이 호핑 채널은 N에서 I의 상태로 전환된다. 그 외의 경우, 호핑 채널의 상태는 좋은 채널(G)으로 분류된다. 이는 그림1에 나타나 있다.

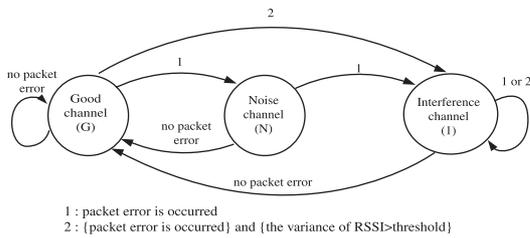


그림1. The scheme of deciding channel state

이러한 정보를 각 호핑 채널에 대한 정보를 바탕으로, AFH는 두 개의 연속적인 호핑 채널에 대해 동일한 채널 상태를 가진 호핑 채널로 그림2와 같이 매핑하게 된다.

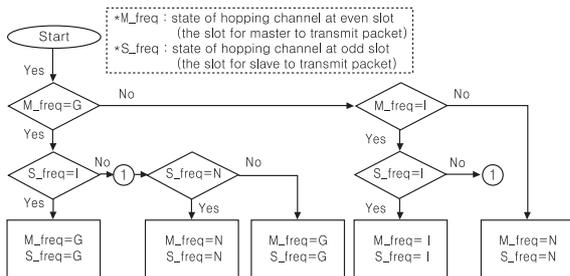


그림 2. The scheme of mapping hopping sequence

제안된 알고리즘과 기존의 알고리즘에 대한 이론적인 aggregated throughput은 식(1.1), (2.1), (3.1), (4.1)로 나타내었다. T_x 는 x 호핑 방식에 대한 aggregated throughput을, P_x 는 x 호핑 방식에 대해 하나 혹은 두 개의 패킷이 무사히 전송될 확률을 나타낸다. 식(1.3)은 reference user의 하나의 패킷이 다른 피코넷의 하나의 패킷과 시간상에서 충돌할 확률을, 식(1.4)는 다른 피코넷

의 두 개의 패킷과 시간상에서 충돌할 확률을 의미한다. 식(3.3)~식(3.5)는 reference user의 good block이 다른 피코넷의 0개의 good block, 한 개의 good block, 두 개의 good block과 시간적으로 충돌할 확률을 각각 나타내었다. 그림3은 아래 식을 바탕으로 각 호핑 알고리즘 방식에 따른 aggregated throughput을 나타내었다. 아래 식에서 블루투스 master는 a개 슬롯 패킷을, slave는 b개 슬롯 패킷을 전송한다(a, b=1, 3, 5). N_g 는 G 상태 채널의 수를, N_n 는 N상태 채널의 수를, N_i 는 I 상태 채널의 수를 나타낸다.

* Regular frequency hopping (RFH)

$$T_{regular} = \frac{1600}{a+b} (P_1^2 + P_1^3) \dots \dots \dots (1.1)$$

$$P_{reg} = \frac{79 - N_i}{79} \left[P_{f1} \frac{78}{79} + P_{f2} \frac{78}{79} \frac{77}{79} \right]^{n-1} \dots \dots \dots (1.2)$$

$$P_{f1} = 2(1 - T_{packet} / T_{slot}) \dots \dots \dots (1.3)$$

$$P_{f2} = 2T_{packet} / T_{slot} - 1 \dots \dots \dots (1.4)$$

(ex: DH1 packet, $T_{packet} = 366\mu\text{sec}$, $T_{slot} = 625\mu\text{sec}$) \dots \dots \dots (1.5)

* L mode frequency hopping (LFH)

$$T_{LFH} = \frac{1600}{a+b} (P_{LFH}^2 + P_{LFH}^3) \dots \dots \dots (2.1)$$

$$P_{LFH} = \left[P_{f1} \frac{N_g - 1}{N_g} + P_{f2} \frac{N_g - 1}{N_g} \frac{N_g - 2}{N_g} \right]^{n-1} \dots \dots \dots (2.2)$$

* H mode frequency hopping (HFH)

$$T_{HFH} = \frac{1600 (2N_{g^3} - 1)}{a+b} P_{HFH} \dots \dots \dots (3.1)$$

$$P_{HFH} = \left[P_{HFH_{-10}} + P_{HFH_{-11}} \frac{N_{g^3} - 1}{N_{g^3}} + P_{HFH_{-12}} \frac{(N_{g^3} - 1)(N_{g^3} - 2)}{N_{g^3}^2} \right]^{n-1} \dots \dots \dots (3.2)$$

$$P_{HFH_{-10}} = \frac{(a+b)N_b + 1 - 2T_{packet} / T_{slot}}{79(a+b)} \dots \dots \dots (3.3)$$

$$P_{HFH_{-11}} = \frac{2T_{packet} / T_{slot} + P_{f1}((a+b)N_g - 1)}{79(a+b)} \dots \dots \dots (3.4)$$

$$P_{HFH_{-12}} = \frac{P_{f2}((a+b)N_g - 1)}{79(a+b)} \dots \dots \dots (3.5)$$

$$N_{g^3} = 79 - N_i - (79 - N_i)(1 - P_{HFH_temp}) \dots \dots \dots (3.6)$$

$$P_{HFH_temp} = \left[P_{HFH_{-10}} + P_{HFH_{-11}} \frac{N_g - 1}{N_g} + P_{HFH_{-12}} \frac{(N_g - 1)(N_g - 2)}{N_g^2} \right]^{n-1} \dots \dots \dots (3.7)$$

* Interference-Detection-Based frequency hopping (IDB-FH)

$$T_{IDB_FH} = \frac{1600}{(a+b)} (P_{IDB_FH} + P_{IDB_FH}^2) \dots \dots \dots (4.1)$$

$$P_{IDB_FH} = \frac{N_{g^4} (N_{g^4} - 1) + 2N_{g^4} N_i}{79^2} \left(\frac{78}{79} + P_{f2} \frac{78}{79} \frac{77}{79} \right)^{n-1} + \frac{2N_{b^4} N_{g^4} + 2N_{b^4} N_i + N_{b^4}^2}{79^2} \left(\frac{78}{79} + P_{f2} \frac{78}{79} \frac{77}{79} \right)^n \dots \dots \dots (4.2)$$

$$N_{b^4} = (79 - N_i) \left[1 - \left(\frac{78}{79} + P_{f2} \frac{78}{79} \frac{77}{79} \right)^{n-1} \right] \dots \dots \dots (4.3)$$

$$N_{g^4} = 79 - N_i - N_{b^4} \dots \dots \dots (4.4)$$

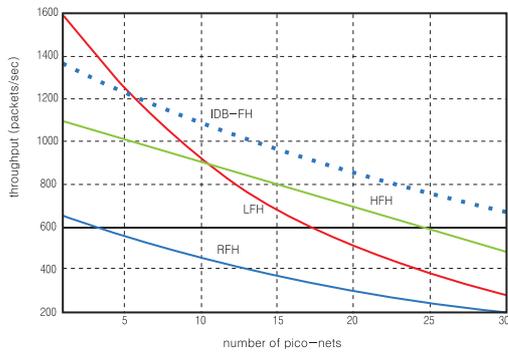


그림3. The aggregated throughput, $N_t = 24$, $a=b=1$

III. Platform 기반 설계 및 구현

Top-down 방식에 따른 SoC 디자인 방식은 시스템 혹은 알고리즘의 목적을 정의하고 알고리즘을 모델링을 하여 구체적인 사양을 결정한다. 이러한 사양에 바탕하여, 상위 수준의 시뮬레이션을 통해 알고리즘과 시스템의 검증은 거친 후 전체 시스템을 SW/HW 부분으로 분할하고 상호 간 인터페이스를 정의한다. 하드웨어 부분은 Verilog 혹은 VHDL을 통해, 소프트웨어 부분은 C/C++로 구현되게 된다. 개별적으로 검증된 각 부분들은 하드웨어와 소프트웨어의 통합 검증을 거친 후 칩으로 구현된다. 그러나 대부분의 SoC 설계 환경은 사용하고자 하는 IP들의 디자인 및 기능에 의존하는 방식이므로, Top-down 방식은 많은 경우에 현실적인 방법이 아닐 수 있다. 반면에 플랫폼에 기반한 SoC 설계 방식은 이미 제작된 SoC 플랫폼으로부터 각종 시스템을 파생시키도록 하는 현실적인 방식이다. 플랫폼은 마이크로프로세서, 버스, 메모리등과 같은 고정된 하드웨어와 변경 가능한 하드웨어 및 소프트웨어로 구성되어 있다. 변경 가능한 하드웨어 블록이나 마이크로프로세서, DSP의 소프트웨어를 바꿈에 의해 특정한 알고리

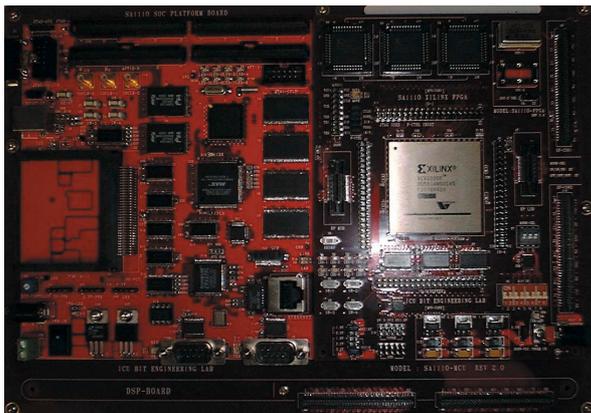


그림4. Baseband platform board

즘을 가진 다양한 시스템을 파생시킬 수 있다. 이것이 플랫폼기반의 설계방식의 핵심이다. 기 생성된 플랫폼에 의해 성능이 검증된 시스템은 칩으로 혹은 테스트보드로 사용될 수 있다. 이 방식은 디자인 시간과 검증 시간을 줄임으로써, time-to-market에 대한 최적의 해결점을 제시한다. AFH를 지닌 블루투스는 그림4와 같이 EISC를 기반으로 하는 플랫폼에 의해 디자인, 검증되었다.

AFH를 지닌 Bluetooth는 [5]에 언급된 바와 같이 HW/SW 분할하였다. AFH 매핑 블록은 소프트웨어로 구현되고, 이 블록은 다른 FH 매핑 블록 (LFH, HFH, RFH)로 바꾸어 구현되고 시뮬레이션을 통해 검증되었다.

IV. AFH 블루투스의 성능

만일 WLAN이 24Mhz의 RF 채널을 점유한다고 할 때, 각 호핑 알고리즘의 throughput은 그림 5와 같이 나타난다. 그림5와 같이, 피코넷의 수가 7이상일 경우, 제안한 AFH 방식의 throughput이 더 우수하다. LFH 방식은 G상태 채널만을 사용하여 호핑 채널을 매핑하기 때문에, 피코넷

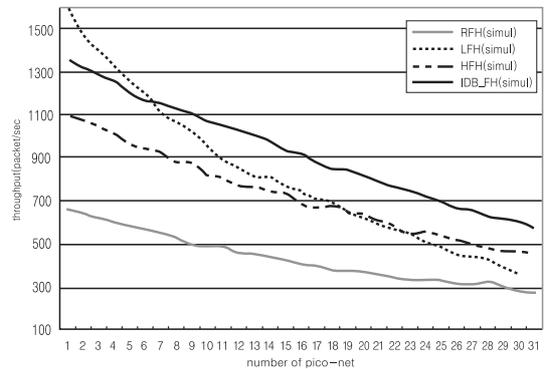


그림5. The throughput for BW of WLAN = 24Mhz

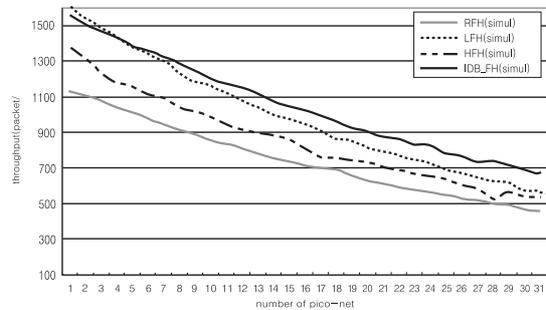


그림6. The throughput for the number of interference channel = 10

의 수가 증가할수록, multiple access interference가 증가하게 된다. 따라서, 블루투스의 throughput은 급격히 감소하게 된다.

그림6은 블루투스와 동일한 대역에 동작하는 알 수 없는 장치가 10MHz의 RF 채널을 점유한다고 가정할 경우의 블루투스의 성능을 나타낸다. 피코넷의 수가 3이상일 때 AFH방식이 다른 호핑 매핑 방식보다 뛰어난 throughput을 가진다. LFH방식은 적은 수의 피코넷 환경에서는 뛰어난 성능을 가지지만, 제안한 AFH방식은 피코넷 수에 변화에 상관없이, 뛰어난 throughput을 가진다

V. 결론

이 논문에서는 간섭환경에서 블루투스의 throughput 저하를 방지하고자 새로운 AFH방식을 제안하였다. 제안한 AFH방식의 블루투스를 플랫폼 기반으로 설계, 구현하고 throughput 성능을 기존의 제안한 호핑 방식들과 비교하였다. 비록 LFH방식이 적은 수의 피코넷 환경에서는 우수하나, 제안한 방식은 적은 수의 피코넷 환경뿐만 아니라, 많은 수의 피코넷 환경에서도 안정적인 throughput을 가진다. 플랫폼에 기반한 디자인 방식은 디자인 시간과 비용을 줄이고 다양한 알고리즘에 대한 빠른 검증을 제공하며 시스템의 유연성을 부여함을 알 수 있다. 물론 플랫폼을 통한 시스템의 검증에 대한 최종 목적은 플랫폼에서 성공적으로 검증된 시스템 디자인이 바로 SoC로 이어지기 위함이다. 검증을 마친 시스템은 성공적인 SoC를 위한 디자인으로 이어질 수 있고, 이는 곧 칩형태로 생산될 수 있을 것이다. 이를 위해 플랫폼의 각 컴포넌트들의 IP 대체화를 통한 플랫폼의 개선이 필요하다.

References

- [1] 이승범, 박신중, "Platform based design of Bluetooth using AFH(adaptive frequency hopping) Algorithm", SITI Review, pp. 34~36, May 2002.
- [2] S. Shellhammer, J. Lansford, "Collaborative Coexistence Mechanism submission: Mobillian's META+Symbol's TDMA," IEEE 802.15-01/164r0, March 2001.
- [3] Y.-H. You, C.-H. Park, M.-C. Ju, K.-W. Kwon and J.-W. Cho, "Adaptive Frequency hopping scheme for interference-limited WPAN applications," Electronics Letters, Vol.37 No.15, 19th, pp. 976 -

978, July 2001.

[4] J. Zander, G. Malmgren, "Adaptive frequency hopping in HF communications," IEE Proc. Commun, Vol. 142, No. 2, pp. 99-105, April 1995.

[5] Bandspeed Inc, Integrated Programmable Communications, Inc., TI - Dallas, TI - Israel, "Adaptive Frequency Hopping A non-collaborative Coexistence Mechanism", IEEE 802.15-01/252r0, May 2001.

수신기 잡음 방정식을 이용한 RF 수신기의 요구성능 도출

이한덕, 김문선, 유형준
한국정보통신대학교 시스템집적기술연구소

본 논문에서는 코드분할방식(CDMA)을 이용하는 CDMA cellular, PCS, W-CDMA, cdma2000의 RF 수신기들을 시스템 레벨에서 수신기 잡음 방정식(receiver noise equation)을 이용하여 설계를 하였다. 4가지 표준의 테스트 조건들로부터 최소요구 조건을 만족시키는 RF성능 파라미터들을 계산하기 위해 여러 가지 테스트조건에 적용시킬 수 있도록 수신기 잡음방정식을 적절한 형태의 공통된 식으로 유도하였으며, 이 식을 이용하여 각각의 최소요구 성능들을 계산하고 비교 분석하였다.

I. 서론

RF 수신기의 첫번째 단계인 시스템 레벨에서의 설계는 수신기의 전체 성능을 결정하는 중요한 과정이다. 또한 이것은 여러 가지 통신 표준들과 RF 수신기의 최소 요구 성능을 연결해주는 과정이다. 설계자는 RF수신기의 성능 파라미터들을 결정하기 위해서는 표준에서 제시하는 여러 테스트 조건을 완전히 이해하고 각 조건에서 신호대잡음 비를 저하시키는 요소들을 구분하여 최적화된 각 성능 파라미터들을 결정지을 수 있어야 한다. 본 연구소에서 기 발표된 논문의 수신기 잡음 방정식[1]은 이러한 시스템 레벨의 설계 시 유용하게 사용될 수 있으며, 이것을 본 논문에서는 여러 가지 코드분할방식의 RF 수신기에 적용할 수 있는 형태로 나타내었다.

코드분할방식은 한국에서 처음 상용화가 된 이후 2세대 및 2.5세대 이동통신의 주요 표준으로서 채택되어 왔으며, 현재 3세대 서비스가 준비중이다. 이러한 급격한 발전에도 불구하고 아직 RF 송수신기 시스템 설계에 체계적인 접근보다 경험적인 방법이 많이 사용되고있다. 본 논문에서는 RF 코드분할방식의 RF수신기의 시스템 레벨 설계를 좀더 체계적으로 접근할 수 있도록, 각 표준의 테스트조건에 쉽게 적용할 수 있고 직관적인 고찰이 가능한 잡음 방정식을 나타내고 이것을 이용하여 여러 가지 코드분할 방식의 RF 수신기의 표준 문서인, C.S0011-A [2], TS 34.121 [3], J-STD-018 [4], IS-98-C [5]을 바탕으로 실제 예로써 시스템 레벨 설계하여 비교분석을 하였다.

II. 배경이론

실제적인 시스템레벨 설계에 앞서 수신기 잡음방정식을 여러 테스트 조건에 적용될 때 어떻게 정의하고 구성이 되는지 간단히 살펴보자[1].

1. 잡음이 있는 시스템에서 추가잡음

출력 단에서 시스템의 잡음지수와 시스템에 의하여 추가된 잡음과의 관계를 이해하기 위하여, 그림 1과 같이 이득이 G 이고 잡음지수가 F 인 시스템을 생각해보자. 시스템이 신호 S_a 과 잡음 N_{in0} 를 입력으로 받아들이고 있을 때, 출력신호 S_{out} 과 출력잡음 N_{out} 은 다음과 같다.

$$S_{out} = GS_{in} \quad (1)$$

$$N_{out} = GN_{in0} + N_a \quad (2)$$

N_a 가 입력 잡음에 무관한 시스템에 의한 추가잡음일 때, 잡음지수 F 는 다음과 같이 나타낼 수 있다.

$$F = \frac{SNR_{in}}{SNR_{out}} = \frac{S_{in}}{N_{in0}} \bigg/ \frac{GS_{in}}{GN_{in0} + N_a} = 1 + \frac{N_a}{GN_{in0}} \quad (3)$$

따라서 식 (3)으로부터 추가잡음 N_a 는 다음과 같이 나타내어진다.

$$N_a = GN_{in0}(F - 1) \quad (4)$$

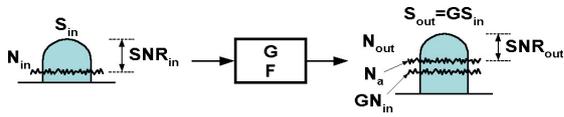


그림 1. 이득 G, 잡음지수 F인 시스템에서의 신호변화

2. 수신기 잡음 방정식

미약한 신호를 수신할 수 있는 수신기 시스템의 성능을 나타내기 위해, 그림 2는 잡음이 있는 시스템이 잡음이 없는 시스템과 입력환산 등가 잡음원으로 나타낼 수 있다는 것을 보여준다.

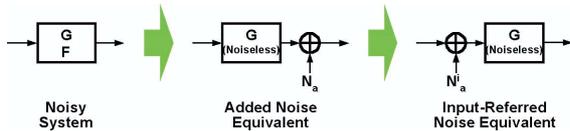


그림 2. 시스템의 입력환산 등가 잡음 표현 방법

식 (4)로부터 입력환산 추가잡음 N_a^i 를 다음과 같이 나타낼 수 있다.

$$N_a^i = \frac{N_a}{G} = N_{in0}(F - 1) \quad (5)$$

식(5)는 입력환산 추가잡음 N_a^i 와 N_{in0} 는 직접적으로 관계가 있다는 것을 쉽게 알 수 있다. 식(5)의 양변을 N_{in0} 로 나누면 정규화 입력환산 추가잡음 n_a^i 를 정의할 수 있으며, 식(6)과 같이 나타낼 수 있다.

$$n_a^i = \frac{N_a^i}{N_{in0}} = F - 1 \quad (6)$$

앞에서 우리는 정규화 입력환산 추가잡음 n_a^i 를 정의하였으며, 잡음지수와 n_a^i 를 연결시켜주는 수식을 유도했다. 그러나 추가잡음 분석을 통한 수신기 설계 방법을 위해서는 잡음지수 보다는 혼변조 성분(intermodulation products), reciprocal mixing products, 불요파 응답(spurious response), 송신기 누설 잡음(transmitter leakage noise) 등과 같은 열화 요소(degrading factor) 들 또한 고려해야 한다. 이러한 성분들은 신호대역에 발생한 후에는 원하는 신호와 구분할 수 없으며, 서로 독립적이라고 생각할 수 있다. 따라서, 넓은 의미에서 이들을 잡음과 같이 취급할 수 있다.

두개 이상의 열화 요소들을 고려하기 위하여, 여러 개의 잡음원을 가진 입력환산 등가 잡음 모델이 이용된다. 그림 3은 N개의 서로 다른 잡음원을 가진 입력환산 등가 시스템을 보여주고 있다.

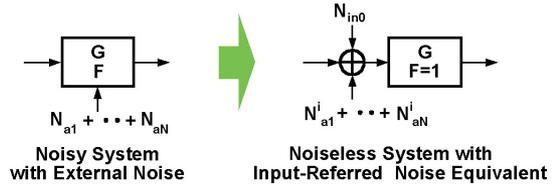


그림 3. N개의 잡음원이 있을 때 시스템의 입력환산 등가 잡음 모델

N개의 잡음원이 있을 때 수신기에 의해 열화 되는 신호대 잡음비는 수신기 잡음방정식(receiver noise equation) [1]으로 명명된 식(7)에 의해 계산될 수 있다.

$$\frac{SNR_{in}}{SNR_{out}} = 1 + \sum_{k=1}^N n_{ak}^i \quad (7)$$

3. 무선 통신용 RF 수신기에서의 잡음

일반적으로 잡음은 열잡음(thermal noise), 산탄잡음(shot noise) 그리고 flicker noise와 같은 근본적인 잡음들을 의미하지만, 본 논문에서는 우리는 모든 독립적인 신호대잡음비를 열화시키는 요소들은 모두 잡음으로 간주하였다. 그리고 RF 수신기에서 잡음은 그 원인이 수신기 내부에 있는가 아니면 외부에 있는가에 따라서, 각각 고유잡음원과 외부잡음원으로 할 수 있다. 독립적인 신호대잡음비를 열화 시키는 주요 잡음원들을 표1에 정리하였다.

구분	요소들	값
고유 잡음원	열잡음(NF)	$N_{Th}^i = N_{in0}(F - 1)$ (8)
	수신대역으로 누설된 송신단 잡음	$N_{Tx}^i = \frac{P_{Tx, noise}}{S_{dup1}}$ (9)
	상호변조 성분	$N_{XM}^i = \alpha \frac{P_{Tx}^2}{S_{dup2}^2} \frac{P_{int}}{IIP3_{LNA}^2}$ (10)
외부 잡음원	Reciprocal mixing product	$N_{RM}^i = P_{int} \cdot PN \cdot B$ (11)
	혼변조성분 (IP3, IP2)	$N_{IMDN}^i = \beta_N \frac{P_{int}^N}{(IIPN)^{N-1}}$ (12)
	이미지	$N_{Image}^i = \frac{P_{Image}}{S_{Image}}$ (13)
	양자화 잡음	$N_{int}^i = \frac{P_{int}}{S_{int}}$ (14)
	불완전하게 제거된 방해파	$N_{int}^i = \frac{P_{int}}{S_{int}}$ (15)

표 1. 신호대잡음비 열화요소들[1]

III. 코드분할방식의 RF 수신기의 시스템 수준설계

잡음원에 대한 정의와 분석이 끝나고 난 뒤에 우리는 수신기 잡음방정식[1]을 이용하여 무선 통신용 수신기를 쉽고, 체계적으로 설계할 수 있다.

이 부분에서는 코드분할방식의 헤테로다인 구조를 가지는 RF 수신기에 대해 공통적으로 적용할 수 있는 잡음 방정식을 유도하고, 이식을 이용하여 여러 가지 표준에 대해 시스템 요구사항을 구해보자.

표준문서들[2~5]에서 최악의 환경조건에서의 요구되는 수신기 성능들을 검증하기 위해 여러 가지 테스트 조건들을 명시하고있다. 이 성능들은 FER(또는 BER)로서 최소성능 조건이 명시되며, 수신기의 back-end에서 직접적으로 E_b/N_t 와 관계된다. 따라서, CDMA 단말기에서 E_b/N_t 와 신호대잡음비는 식 (16)과 같이 서로 관계가 있음을 알 수 있다.

일반적으로 최소성능 조건의 FER(또는 BER)과 대응되는 E_b/N_t 값을 일반적으로 표준문서에서 제시하며, 식 (16)로부터 수신기의 back-end에서 요구되는 신호대잡음비를 알 수 있다. 그리고 시험 조건으로부터 수신기의 입력의 신호대잡음비를 알고 있다면 수신기에서 허용 가능한 신호대잡음비 열화 값을 정한다. 그런 다음 시험조건과 수신기의 구조를 잘 고려하여 각 시험에서 주요한 몇몇 잡음원을 확정한다. 마지막으로 각각 잡음원에 신호대잡음비 열화 값을 분배함으로써 시스템 수준 설계를 할 수 있다.

$$SNR = \frac{E_b}{N_t} \frac{B}{R} = \frac{E_b}{N_t} \frac{1}{G_p} \quad (16)$$

이제부터 여러 가지 테스트조건에서 중요한 수신기 요구 조건들을 구해보자. 이때 식의 계산을 dB값으로 계산하고, 수신기의 구조는 헤테로다인 구조로 가정했다. 그러므로 헤테로다인 구조에서 문제가 되지 않는 2차 혼변조 성분, DC offset 및 flicker noise는 고려되지 않았다.

1. 수신기의 감도(receiver sensitivity)

감도시험 조건에서는 수신기 입력단에서의 신호전력의 크기와 잡음의 크기는 다음과 같이 나타내어질 수 있다. 여기서, W-CDMA의 경우는 $Traffic E_c$ 대신에 $DPCH E_c$ 가 사용된다.

$$S_{in} = Traffic E_c = (I_{or}) dBm + \left(\frac{Traffic E_c}{I_{or}} \right) dB \quad (17)$$

$$N_{in} = N_{in0} = -174 dBm + (10 \log B) dB \quad (18)$$

그리고 식 SNR_{in} 과 SNR_{req} 가 식 (19),(20)과 같을 때, 추가적인 잡음을 가지는 수신기의 SNR_{in}/SNR_{out} 은 SNR_{in}/SNR_{req} 보다 작아야 한다.

$$SNR_{in} = (S_{in} - N_{in0}) dB \quad (19)$$

$$SNR_{req} = \left(\frac{E_b}{N_t} - PG \right) dB \quad (20)$$

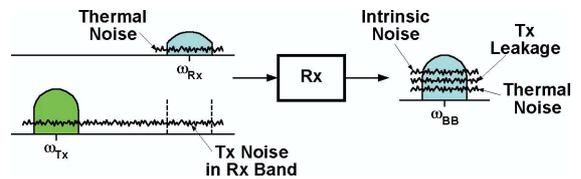


그림 4. 감도 시험에서 잡음원

감도 시험조건에서는 방해파 신호는 존재하지 않지만 송신기단의 신호는 존재한다. 따라서 이때의 테스트 환경을 보면, 위의 그림 4와 같이 4개의 잡음신호원, 즉 입력 열잡음, 수신기 추가 열잡음, 수신대역내의 송신단 누설잡음, 양자화 잡음입력이 존재한다고 볼수있다. 따라서 이 경우의 수신기 잡음방정식은 식 (21)과 같다.

$$\frac{SNR_{in}}{SNR_{out}} = 1 + n_{Th}^i + n_{Tx}^i + n_q^i \leq \frac{SNR_{in}}{SNR_{req}} \quad (21)$$

수신기를 설계할 때, 일반적으로 ADC(Analog-to-Digital Converter)는 수신기의 성능을 악화시키지 않도록 선택한다. 보통 CDMA 수신기에서 분해능(resolution)은 4 bit이고 샘플링 속도(sampling rate)는 데이터 속도(data rate)의 4~8배정도의 ADC를 선택한다. 따라서 식 (14)로 계산해보면, 입력환산 정규화 된 양자화 잡음 n_q^i 는 약 -13 dB이다. 즉 입력 열잡음 N_{in0} 와 비교해보면, 실제 입력 환산된 정규화 잡음 N_q^i 는 충분히 무시할 수 있다. 잡음지수 F는 $1+n_{Th}^i$ 와 같으므로 따라서 식 (21)은 식(22)로 나타낼 수 있다. 이후의 잡음방정식에서는 양자화 잡음을 무시할 것이다.

$$\frac{SNR_{in}}{SNR_{out}} = F + n_{Tx}^i \leq \frac{SNR_{in}}{SNR_{req}} \quad (22)$$

실험적으로, 코드분할방식 핸드셋에서 수신대역에서의 송신단에 의한 누설전력은 듀플렉서의 송신단과 수신단사이의 격리도가 약 40 dB정도에서 약 -135 dBm/Hz [7] 즉, n_{Tx}^i 가 약 1이다. 따라서 식 (22)로부터 우리는 감도시험에서의 RF 수신단의 최소 요구되는 잡음지수를 다음과 같이 구할 수 있다.

$$NF_{max} \cong 10 \log \left(\frac{SNR_{in}}{SNR_{req}} - 1 \right) \text{ dB} \quad (23)$$

2. Single tone desensitization

할당된 채널 주파수의 중심 주파수로부터 주어진 offset 만큼 떨어진 곳에 single tone 방해파가 존재할 때, 수신기가 이 할당된 채널의 CDMA 신호를 수신하는 능력의 척도를 Single tone desensitization 이라고 한다.

이 시험조건에서는 입력신호가 감도시험에서보다 3 dB 증가하고 FER(또는 BER)조건이 완화된다.

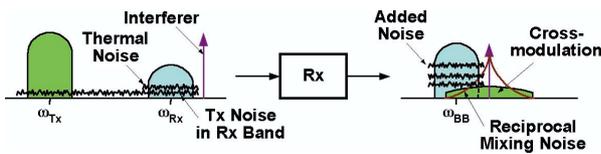


그림 5. Single tone desensitization 시험조건의 잡음원들

이 조건에서의 잡음원들은 위의 그림 5와 같이 감도시험의 잡음원외에 reciprocal mixing 성분과 상호변조성분 (cross modulation product), 불완전하게 제거된 방해파 (imperfectly filtered interferer)가 더해진다. 따라서 이때의 잡음방정식은 다음과 같이 정리된다.

$$\frac{SNR_{in}}{SNR_{out}} = F + n_{Tx}^i + n_{RM}^i + n_{XM}^i + n_{int}^i \leq \frac{SNR_{in}}{SNR_{req}} \quad (24)$$

헤테로다인 구조의 수신기에서 채널 선택도는 IF 필터와 ADC 앞단의 저역통과 필터등의 특성에 의해 정해지게 되며 이 선택도가 방해파를 충분히 감쇄시킬수 있다고 가정하면 reciprocal mixing product와 상호변조성분의 영

향이 수신기의 입력환산잡음에 영향을 주는 값을 다음과 같이 계산이 가능하다.

$$n_{RM}^i + n_{XM}^i \leq \frac{SNR_{in}}{SNR_{req}} - (F + n_{Tx}^i) \quad (25)$$

그리고 상호변조성분이 무시될 만큼 작고, 위상잡음이 원하는 주파수 대역에서 거의 평탄하다고 가정한다면, 최소 요구되는 위상잡음은 다음과 같이 계산된다.

$$PN \text{ [dBc/Hz] @ offset} \cong N_{RM}^i - P_{int} - 10 \log(B) \quad (26)$$

그러나 실제의 경우 LNA의 선형성과 듀플렉서의 격리도가 상호변조성분이 무시될 만큼 좋지 않기 때문에 이러한 상호변조에 의한 영향은 고려되어야 한다. 따라서 수신기의 위상잡음과 LNA의 선형성 사이에 상호최적화(trade-off)가 필요하다.

그림 6은 3가지의 코드분할방식의 시스템에서의 수신기의 위상잡음과 LNA의 선형성 사이의 관계를 보여준다.

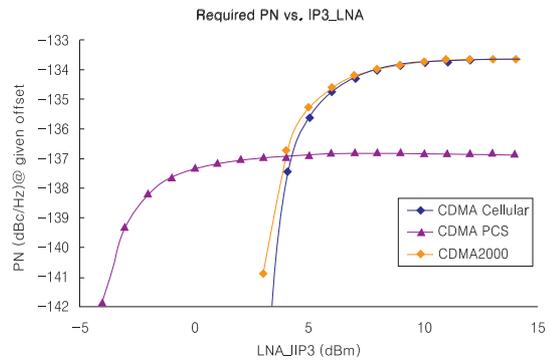


그림 6. 위상잡음과 LNA의 선형성 사이에 상호관계 (Cellular의 주파수offset은 900 kHz이고 그 외는 1.25 MHz)

이때 duplexer의 격리도는 55 dB로 가정했다. cdma2000과 CDMA PCS의 경우에는 soaking factor를 -5.6 dB로 했으며, CDMA cellular에서는 -3 dB으로 계산했다 [6]. W-CDMA의 시험조건에서는 단일 방해파 신호 (blocking tone)가 변조된 신호이고 상대적으로 작은 크기를 가지기 때문에 무시 가능하다.

3. 혼변조 불요파응답

(intermodulation spurious response)

두 개의 interfering CW(continuous wave) tone들이 원하는 채널 주파수에 있을 때, 수신기가 CDMA 신호를 수신할 수 있는 조건을 나타낸다. 이 두개의 interfering CW tone은 할당된 채널 주파수에서 한 채널 offset만큼 씩 떨어져 존재한다. 즉 이들에 의해서 발생된 3차 비선형 성분이 원하는 CDMA 신호의 대역에 나타나게 된다.

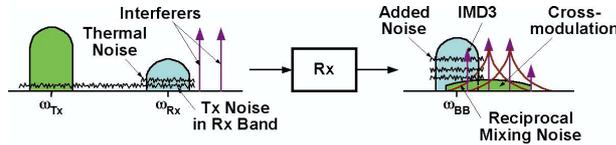


그림 7. 혼변조 불요응답 감소의 경우 잡음원

이 시험에서 요구되는 E_b/N_f 는 single tone desensitization 시험에서와 같으나, 잡음원의 형태는 그림 7과 같이 조금 다르다. 이 잡음원 들에 대한 잡음방정식은 다음과 같이 나타낼 수 있다.

$$\frac{SNR_{in}}{SNR_{out}} = F + n_{Tx}^i + n_{RM1}^i + n_{RM2}^i + n_{IMD3}^i + n_{int1}^i + n_{int2}^i \quad (27)$$

이 혼변조 불요응답 시험의 경우에는 reciprocal mixing product은 방해파들의 주파수 offset이 크고 상대적으로 작은 신호이기 때문에 크게 문제가 되지 않는다. 그리고 채널 필터링에 의해 방해파들이 충분히 제거된다고 가정하면 잡음방정식은 다음과 같이 간소화 된다.

$$\frac{SNR_{in}}{SNR_{out}} = F + n_{Tx}^i + n_{IMD3}^i \leq \frac{SNR_{in}}{SNR_{req}} \quad (28)$$

n_{int} 을 계산한 후, 최소 요구되는 IIP3은 다음과 같이 계산된다.

$$IIP3 = \frac{1}{2} (3 \times P_{int} - N_{IMD3}^i) \text{dB} \quad (29)$$

4. 인접채널 선택도(Adjacent channel selectivity) (cdma2000, WCDMA)

인접채널 선택도(ACS)는 인접채널의 신호를 어느 정도 감쇄 시킬 수 있는 정도를 나타낸다. 이 시험조건으로부

터 우리는 cdma2000와 W-CDMA 수신기의 중요한 몇몇 요구 사항들을 도출할 수 있다.

cdma2000의 경우에 방해파가 변조된 CDMA 신호라는 점을 제외하면 single tone desensitization 시험의 조건과 유사하다. 그러나 상호변조성분과 reciprocal mixing product는 single tone desensitization 시험과 다른 형태를 나타낸다. Cross modulation product는 수신기의 3차 비선형성으로부터 발생하므로, 이것은 변조된 방해파의 중심 부근에서 3.75 MHz의 대역을 가진다. 하지만 우리대역신호와 겹치지 않기 때문에 이 잡음방정식 계산에 고려되지 않는다.

Reciprocal mixing product를 계산하기 위하여 변조된 방해파와 송신기 누설 신호와의 컨볼루션을 고려해야 한다[1]. 따라서 이러한 고찰로부터 우리는 다음과 같은 잡음방정식을 구할 수 있다.

$$\frac{SNR_{in}}{SNR_{out}} = F + n_{Tx}^i + n_{RM}^i \leq \frac{SNR_{in}}{SNR_{req}} \quad (30)$$

5. Blocking characteristics (cdma2000, W-CDMA)

Out-of-band blocking 시험 조건으로부터 우리는 수신기의 이미지 차단 요구 조건을 구할 수 있다. 일반적으로 수신기의 IF 주파수는 수 MHz에서 수백 MHz 정도이므로 out-of-band blocker 중에서 최대신호가 우리 신호에 대해 이미지가 될 수 있으므로 잡음 방정식을 식 (31)과 같이 나타낼 수 있으며 우리는 cdma2000 와 W-CDMA의 이미지신호 차단 최소조건을 구할 수 있다.

$$\frac{SNR_{in}}{SNR_{out}} = F + n_{Tx}^i + n_{image}^i \leq \frac{SNR_{in}}{SNR_{req}} \quad (31)$$

6. 시스템레벨 설계 결과

각각의 시험조건에 대응되는 수신기 잡음방정식으로부터 우리는 표 2와 같이 수신기의 중요 성능 지표들인 최소잡음지수, 위상잡음, IIP3, 이미지 제거도를 구했다. 표 2의 값들로부터 2세대 코드분할방식의 단말기가 3세대 시스

최소 요구조건	cdma2000	W-CDMA	CDMA PCS	CDMA Cellular
NF _{max} (dB)	9.5 7.3	5.8	9.5	
PN (dBc/Hz)	-134 @1.25 MHz	-113 @5 MHz	-137 @1.25 MHz	-134 @900 kHz
IIP3 _{LNA} (dBm)	7		2	8
IIP3 _{min} (dBm)	-21	-17.5	-11.5	-13.5
Image rejection (dB)	89	88		

표 2. 코드분할 방식의 수신기의 최소 요구 사항들

템인 cdma2000과 W-CDMA보다 RF수신기 구현조건이 까다롭다. 이러한 결과가 나온 이유는 3세대 시스템시험 조건의 데이터 속도가 2세대 시스템과 비슷한 9.6~14.4 kbps의 조건에서 이루어졌기 때문이다. 결론적으로 3세대 시스템이 상대적으로 높은 processing gain을 가지기 때문이다.

IV. 결론

무선 통신을 위한 수신기에는 많은 신호대잡음비를 악화시키는 요소들인 열잡음, 혼변조 성분, 상호변조 성분, 송신단 누설잡음 등이 존재한다. 따라서 우리는 이러한 잡음 성분들이 여러 조건에서 최대한 수신기의 성능을 악화시키지 않도록 설계해야 한다. 이러한 RF 수신기의 설계가 체계적인 접근방법 제시하기 위해 본 논문에서는 수신기 잡음방정식을 이용하여, 중요한 잡음 성분들을 시험조건에 맞추어 정리하고 이러한 시험조건에 따른 공통된 형태로 나타내었다. 이 공통된 형태의 잡음방정식으로 시스템레벨에서의 요구 조건들을 간단히 구할 수 있었다.

References

- [1] Hyung Joun Yoo and Ji-Hoon Kim, "Receiver Noise Equation: A Method for System Level Design of a RF Receiver," Microwave Journal, 2002 (to be published).
- [2] 3GPP2, C.S0011-A "Recommended Minimum Performance Standards for cdma2000 Spread Spectrum Mobile Stations," March 30, 2001.
- [3] TS 34.121, "3GPP; Technical Specification Group Terminal; Terminal Conformance Specification; FDD," 2000.

[4] J-STD-018, "Recommended Minimum Performance Standards for 1.8 to 2.0 GHz CDMA Personal Stations," ANSI, 1996.

[5] TIA/EIA/IS-98-C, "Recommended Minimum Performance Standards for Dual-Mode Spread Spectrum Mobile Stations," March 19, 1999.

[6] R. Mohindra, "Cross Modulation and Linearization in CDMA Mobile Phone Transceivers," 7th Annual Wireless Symp., San Jose, CA, Feb. 22-26, 1999.

[7] Walid Y. Ali-Ahmad, "RF system issues related to CDMA receiver specifications," RF Design, Sep. 1999.

AMR 과 G.723.1 간의 트랜스코딩 구현

장형욱, 최해욱
한국정보통신대학교 시스템집적기술연구소

유/무선망의 연동이 활발해 지면서 서로 다른 음성 부호화기 사이에 통신이 중요시 되어지고 있다. 이 런 서로 다른 음성 부호화기 사이의 통신을 위해서 이중 부/복호화기가 사용되고 있지만 여러 가지 문 제점을 안고 있어 이런 문제점을 해결하기 위해 두 부호화기 사이의 비트열을 바로 변환하는 방법인 상 호 부호화를 이용하고 있다. 이 연구 자료에서는 유/무선망을 대표하는 음성부호화기인 G.723.1과 AMR사이의 비트열을 효과적으로 변환하기 위해 기존에 다른 부호화기의 변환에서 사용된 방법을 일 부 적용하여 AMR과 G.723.1사이에서도 효과적인 비트열 변환을 구현하였다.

1. 서론

유/무선 서비스의 요구가 증대되면서 이동 통신 기술과 음성 패킷을 이용한 데이터 통신 기술이 발달하고 있다. 멀티미디어 기반의 서비스를 제공하게 될 IMT-2000은 PC에서 제공받던 인터넷 콘텐츠 서비스를 휴대단말기로 확대시켜 기존의 유/무선 통신 시스템의 VoIP망과 IMT-2000의 통신망과의 연동이 활발해 질것으로 보인다. 그리고, 유/무선 통신망의 연동이 활발하게 진행되면 유선망 의 많은 부분이 점차 무선망으로 대체될 것이지만, 궁극 적으로 유/무선 모두 IP망으로 통합될 가능성이 높다.

VoIP망을 사용하는 단말기와 IMT-2000과의 통화를 가능 하게 하기 위해 현재 망마다 각각 다르게 표준화된 음성, 데이터 부호화기 등을 교환기에 설치해 주어야 한다. 하지만 EVRC와 AMR등의 음성부호화기를 사용하는 이동통 신망과 G.723.1과 G.729 음성부호화기를 사용하는 VoIP 망 사이에서 음성 신호를 전송하는 과정에선, 각각의 망 에서 음성 부호화기들이 서로 다르기 때문에 이중 부/복 호화가 불가피하다. 이런 이중 부/복호화 구조를 Tandem 이라 하는데 하나의 부호화기에 나오는 비트열을 복호화 하여 다른 부호화기로 다시 부호화 하게 된다. 이런 Tandem식의 구조로 인해 몇 가지 문제점이 발생하게 된 다. 첫 번째로 통화 품질의 감소가 발생하게 된다. 두 번 째로 계산량 증가의 문제가 발생하게 된다. 마지막으로 전송지연시간이 증가하게 된다. 이러한 문제점들을 해결

하기 위해서는 Tandem식의 구조 대신에 source 부호화 기에 의해서 생성된 비트열을 대상(target)부호화기의 비 트열로 바로 변환하는 방식을 교환기에 적용해야 한다. 그리고 이러한 방식을 상호 부호화, 즉 transcoding이라 한다.

상호부호화를 위한 방법은 몇 가지로 나눌 수가 있다. 첫 번째로 LSP파라미터에 의한 상호 부호화, 두 번째로 피 치 파라미터에 의한 상호 부호화, 세번째로 코드북 파라 미터에 의한 상호 부호화 마지막으로 전송률 파라미터에 따른 상호 부호화가 있다. 본 논문에서는 첫 번째 방법인 LSP파라미터를 이용한 상호 부호화에 대해서만 다루도록 하겠다.

상호 부호화를 통해 앞에서 언급한 문제점들 중 계산량 증가와 전송지연시간의 증가 문제에서 상당한 성능 향상을 얻을 수가 있었다.

II. G.723.1과 AMR 부호화기

H.324표준의 일부분인 G.723.1은 매우 낮은 전송률을 가 지고 멀티미디어 서비스에서 음성부호화를 위해 사용되는 표준이다. 이 부호화기는 두 개의 전송률인 5.3kbps와 6.3kbps로 동작하게 되는데 후자가 전자보다 좀더 좋은 부호화 성능을 가지고 있다. 그리고 프레임마다 두 전송 률간의 변환이 가능하다.

G.723.1은 프레임단위로 합성에 의한 분석(AbS:Analysis-by-Synthesis)을 이용한 선형예측 방법으로 부호화를 수행한다. 부호화 과정에서는 80샘플의 부프레임마다 10차 Linear Prediction Coefficient(LPC)가 윈도우 처리된 신호에서 계산된다. 그리고 마지막 부프레임에 대한 LPC값들은 Predictive Split Vector Quantization(PSVQ)에 의해서 양자화된다. 양자화 되지 않은 LPC값들은 단구간의 지각(perceptual) 가중필터를 만들기 위해 사용된다. 그리고 2개의 부프레임마다(120샘플) 개회로(open-loop) 피치 주기를 가중음성신호 도메인에서 구한다. 여기 신호의 경우는 6.3kbps의 전송률일 때 Multi Pulse - Maximum Likelihood Quantization(MP-MLQ)으로 5.3kbps인 경우에는 Algebraic-Code_Excited Linear-Prediction(ACELP)방식을 이용하여 모델링하게 된다. 프레임의 크기는 30ms이고 7.5ms의 부가적인 예견구간이 있어 총 37.5ms의 알고리즘 지연이 생기게 된다. 또한 부호화기와 복호화기에서 데이터를 처리하는데 걸리는 실제시간, 통신 채널간의 전송시간, 멀티플렉싱을 위한 버퍼링시간 등의 추가지연이 발생하게 된다.

AMR Speech Codec은 음성을 부호화 하여 전송하는데 필요한 전송률이 4.75 kbps로 부터 12.2 kbps 인 8개의 음성 부호화기를 하나의 부호화기로 합쳐놓은 형태이다. 그리고 여기 신호의 모델링을 위해 G.723.1의 5.3kbps모드처럼 Algebraic Code Excited Linear Prediction 방식을 이용한 Multi rate ACELP를 사용한다. 이 부호화기는 매 20 ms 마다 전송률의 조절이 가능하며, 네트워크적 입장에서 볼 때 적절한 휴대 전화 통화 품질을 보장하면서 최대의 사용자를 서비스하기 위한 방안으로서 이용될 수 있다.

각 160 샘플들에 대해 음성신호는 CELP 모델의 파라미터(LP filter coefficients, adaptive and fixed codebooks' indices and gains)를 추출하기 위해 분석된다. LP 분석은 프레임 당 12.2 kbps 모드에 대해 두 번 나머지 모드에 대해서는 한번만 수행한다. 12.2 kbps 모드에 대해, LP 파라미터 두 셋(set)은 line spectrum pairs(LSP)로 변환되고 split matrix quantization(SMQ)를 사용하여 38 bits으로 양자화 한다. 나머지 모드들에 대해서는 하나의 LP 파라미터 셋(set)이 LSP로 변환되고 split vector quantization(SVQ)를 사용하여 양자화 한다. 하나의 음성 프레임은 각 40 샘플, 5ms인 4개의 부프레임으로 나누어 진다. 적응/고정 코드북 파라미터는

매 부프레임 마다 전송된다. 양자화된/양자화되지 않은 LP 파라미터 또는 그들의 보간된(interpolated) 버전들은 부프레임에 의존하여 사용된다. 개루프 피치 지연(open-loop pitch lag)은 그 밖의 모든 부프레임 마다 예측 된다. (매 프레임마다 한번 예측되는 5.15와 4.75 kbit/s 모드는 제외)

III. Line Spectral Pair (LSP)

p차 항의 Linear predictive coding(LPC)의 경우 all-pole 필터의 전달함수는 다음과 같다.

$$H(z) = \frac{1}{A_p(z)} = \frac{1}{1 + \alpha_1 z^{-1} + \alpha_2 z^{-2} + \dots + \alpha_p z^{-p}} \quad (3.1)$$

여기서 $\{\alpha_i\}_{i=1,2,\dots,p}$ 는 LPC 계수를 나타낸다. 그리고 n차 LPC 분석일 경우에는 다항식 $A_n(z)$ 는 다음과 같은 관계식을 만족하게 된다.

$$A_n(z) = A_{n-1}(z) - k_n z^n A_{n-1}(z^{-1}) \quad A_0(z) = 1 \quad (3.2)$$

$n=1,2,\dots,p \quad k_i$:PARCOR coefficients

$n=p+1$ 인 경우, 위에 식은 다음과 같은 식을 가지게 된다.

$$A_{p+1}(z) = A_p(z) - k_{p+1} z^{-(p+1)} A_p(z^{-1}) \quad (3.3)$$

식 (3.3)에 인간의 발성기관에 있는 성문의 열리고 닫힘을 나타내는 complete closure($k_{p+1}=1$)와 complete opening($k_{p+1}=-1$)의 경계 조건을 적용하면

$k_{p+1}=1$ 일 때

$$P(z) = A_p(z) - z^{-(p+1)} A_p(z^{-1}) \\ = 1 + \alpha_1 z^{-1} + \alpha_2 z^{-2} + \dots + \alpha_p z^{-p} - z^{-(p+1)} (1 + \alpha_1 z + \alpha_2 z^2 + \dots + \alpha_p z^p) \quad (3.4) \\ = 1 + (\alpha_1 - \alpha_p) z^{-1} + (\alpha_2 - \alpha_{p-1}) z^{-2} + \dots + (\alpha_p - \alpha_1) z^{-p} - z^{-(p+1)}$$

$k_{p+1}=-1$ 일 때

$$Q(z) = A_p(z) + z^{-(p+1)} A_p(z^{-1}) \\ = 1 + \alpha_1 z^{-1} + \alpha_2 z^{-2} + \dots + \alpha_p z^{-p} + z^{-(p+1)} (1 + \alpha_1 z + \alpha_2 z^2 + \dots + \alpha_p z^p) \quad (3.5) \\ = 1 + (\alpha_1 + \alpha_p) z^{-1} + (\alpha_2 + \alpha_{p-1}) z^{-2} + \dots + (\alpha_p + \alpha_1) z^{-p} + z^{-(p+1)}$$

p가 짝수인 정수 일 때 P(z)와 Q(z)의 값은 다음과 같은 값을 가지게 된다.

$$P(z) = (1 - z^{-1}) \prod_{i=2,4,\dots,p} (1 - 2z^{-1} \cos w_i + z^{-2})$$

$$Q(z) = (1 + z^{-1}) \prod_{i=1,3,\dots,p-1} (1 - 2z^{-1} \cos w_i + z^{-2})$$
(3.6)

여기서 $w_1 < w_3 < \dots < w_{p-1}$ 와 $w_2 < w_4 < \dots < w_p$ 라고 가정하면 $e^{jw_i}, i=1,2,\dots,p$ 는 P(z)와 Q(z)의 근이 된다. 상기 두식의 파라미터 $\{w_i\}_{i=1,2,\dots,p}$ 를 LSP로 정의한다. 여기서 $w_0=0$ 이고 $w_{p+1}=\pi$ 가 된다.

그리고 LSP를 식 3.7에 의해 주파수대역으로 변환할 경우 Line Spectrum Frequency(LSF)라 한다.

$$LSF(i) = \frac{\cos^{-1}(w_i) f_s}{2\pi}$$
(3.7)

f_s : Sampling frequency

$$\phi_{i,k} = w_{n,i} \times w_{n-k,i}$$

$$\Psi = \{ \phi_{i,k} \}$$
(3.8)

식 3.8에서 $\phi_{i,k}$ 는 LSP의 주파수대역 값인 LSF의 프레임간의 상관 계수를 나타낸 것이고 Ψ 은 이것을 매트릭스로 나타낸 것이다. 여기서 w는 LSF값을 n은 현재 프레임을 나타낸다. 그리고 i는 프레임내 몇 번째 LSF인지를 k는 현재 프레임에서 몇 번째 이전 프레임인지를 나타낸다. 이 수식을 이용하여 표 3.1과 같은 결과를 얻을 수 있다.

i	k				
	1	2	3	4	5
1	0.93	0.84	0.76	0.68	0.61
2	0.89	0.75	0.63	0.54	0.46
3	0.92	0.80	0.70	0.60	0.51
4	0.92	0.82	0.73	0.64	0.56
5	0.95	0.88	0.81	0.74	0.67
6	0.94	0.85	0.77	0.69	0.62
7	0.93	0.83	0.75	0.66	0.58
8	0.91	0.81	0.72	0.64	0.56
9	0.87	0.73	0.64	0.55	0.48
10	0.82	0.66	0.57	0.50	0.44

표 3.1 : Inter-frame correlation coefficient table(Ψ)[6]

이 표 3.1를 통해 LSF값이 인접 프레임간에 강한 상관계수를 가지고 있다는 것을 알 수가 있다. 이 사실을 이용하

여 LSP파라미터 상호 부호화를 위해 linear interpolation을 적용하게 된다.

IV. 상호부호화 알고리즘

1. G.723.1에서 AMR로의 트랜스코딩

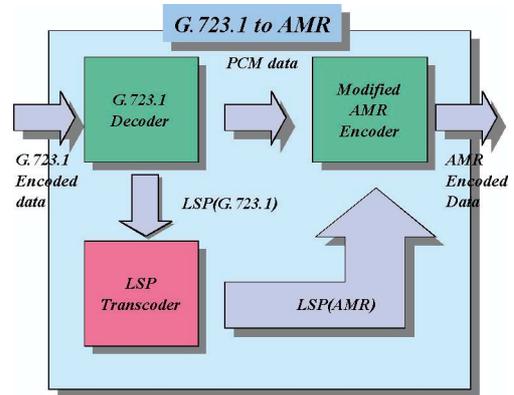


그림 4.1: G.723.1 to AMR transcoding

LSP파라미터를 이용한 G.723.1에서 AMR로의 상호부호화 과정은 그림 4.1과 같다. G.723.1로 부호화된 비트열을 입력으로 받아 G.723.1 복호화를 거쳐 생성된 PCM data는 modified AMR 부호화기의 입력으로 들어가게 된다. 그리고 G.723.1의 비트열에서 LSP파라미터에 관련된 정보는 LSP transcoder를 통해 AMR 부호화기에 필요한 LSP파라미터로 변환되어 Modified AMR 부호화기의 입력으로 들어가게 되고 이 두 입력을 받은 modified AMR 부호화기는 AMR로 부호화된 비트열을 만들어 내게 된다.

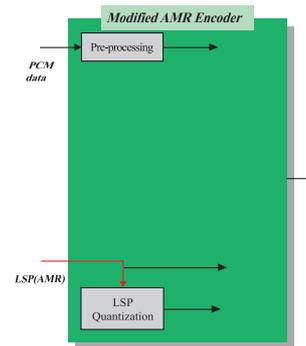


그림 4.2: Modified AMR encoder

Modified AMR부호화기는 그림 4.2와 같다. Modified AMR부호화기는 LSP transcoder에서 바로 LSP파라미터

정보를 얻기 때문에 기존의 AMR 부호화기에 존재하던 LSP의 생성과 관련된 부분이 제거된 것을 알 수가 있다.

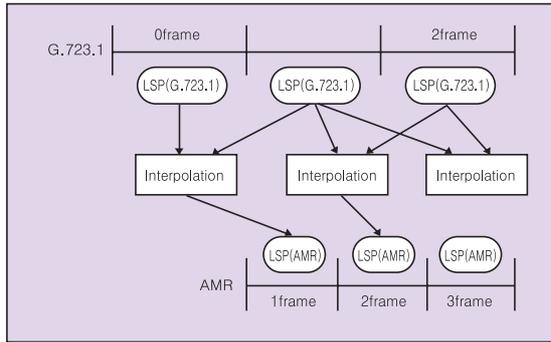


그림 4.3: G.723.1 to AMR LSP linear interpolation

LSP transcoder는 2 프레임에 대한 버퍼링과정을 거친 후 linear interpolation과정은 그림 4.3과 같이 수행하게 되는데 linear interpolation의 정확성을 위해 이전 프레임의 마지막 부프레임(o frame)에 해당되는 LSP값을 이용한다. 이것을 수식으로 표현하면 다음과 같다.

$$P_{C1}(j)=aP_{A0}(j)+bP_{A1}(j)$$

$$P_{C2}(j)=cP_{A1}(j)+dP_{A2}(j)$$

$$P_{C3}(j)=eP_{A1}(j)+fP_{A2}(j)$$

a, b, c, d, e, f : interpolation coefficients
 P_{Ai} : LSP(G.723.1), P_{Ci} : LSP(AMR)
 $(1 \leq j \leq 10)$

2. Transcoding AMR 에서 G.723.1로의 트랜스코딩

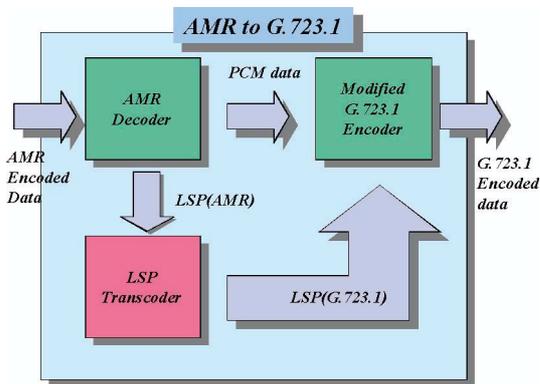


그림 4.4: AMR to G.723.1 transcoding

AMR에서 G.723.1로의 상호 부호화는 그림 4.4와 같다. G.723.1에서 AMR로의 변환에서처럼 AMR로 부호화된 비트열에서 LSP파라미터 정보는 따로 뽑아 LSP transcoder

를 거쳐 G.723.1에 필요한 LSP파라미터로 변환한 후 modified G.723.1 부호화기의 입력으로 들어가게 되고 나머지 입력인 PCM data와 같이 modified G.723.1 부호화기를 거쳐 G.723.1로 부호화된 비트열을 생성하게 된다.

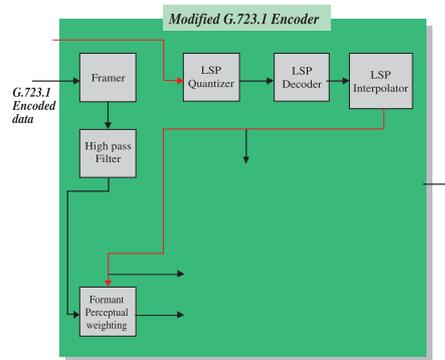


그림 4.5: Modified G.723.1 encoder

Modified G.723.1부호화기는 그림 4.5와 같다. 이는 기존의 G.723.1 부호화기에서 LSP와 관련된 부분이 제거되고 LSP interpolator에 의해서 만들어진 LSP정보가 formant perceptual weighting의 입력으로 들어가게 된 것을 알 수가 있다.

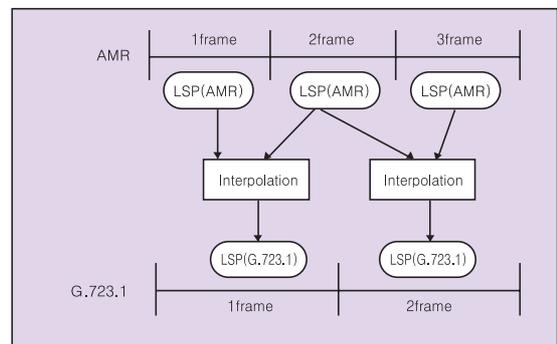


그림 4.6: AMR to G.723.1 LSP linear interpolation

그리고 LSP transcoder에 의해서 이루어지는 3프레임에 대한 버퍼링후 이루어지는 linear interpolation과정은 그림 4.6과 같은 과정으로 이루어지게 된다. 수식은 아래와 같다.

$$P_{A1}(j)=aP_{C1}(j)+bP_{C2}(j)$$

$$P_{A2}(j)=a'P_{C2}(j)+b'P_{C3}(j)$$

$$P_{C3}(j)=eP_{A1}(j)+fP_{A2}(j)$$

a, b, a', b' : interpolation coefficients
 P_{Ai} : LSP(G.723.1), P_{Ci} : LSP(AMR)
 $(1 \leq j \leq 10) (i=1,2,3)$

V. 시뮬레이션

1. G.723.1에서 AMR로의 변환 시 LSP

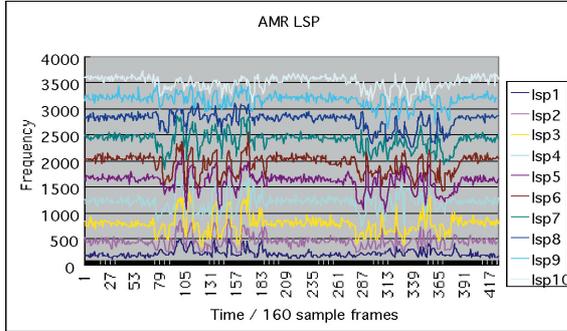


그림 5.1: original AMR LSP

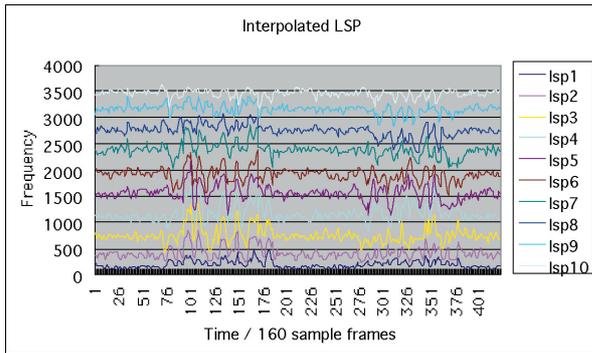


그림 5.2: Estimated AMR LSP

변환 시 얻고자 하는 LSP값은 그림 5.1의 값이고 실제로 linear interpolation을 통해 얻은 값을 그림 5.2와 같다. 이는 다음과 같은 수식의 시뮬레이션을 통해 얻을 수가 있었다.

$$\begin{aligned}
 P_{C1}(j) &= 0.5417P_{A0}(j) + 0.4583P_{A1}(j) \\
 P_{C2}(j) &= 0.8750P_{A1}(j) + 0.1250P_{A2}(j) \\
 P_{C3}(j) &= 0.2083P_{A1}(j) + 0.7917P_{A2}(j) \\
 a, b, c, d, e, f &: \text{interpolation coefficients} \\
 P_{Ai} &: \text{LSP}(G.723.1), P_{Ci} : \text{LSP}(AMR) \\
 (1 \leq j \leq 10)
 \end{aligned}$$

2. AMR에서 G.723.1로 변환 시 LSP

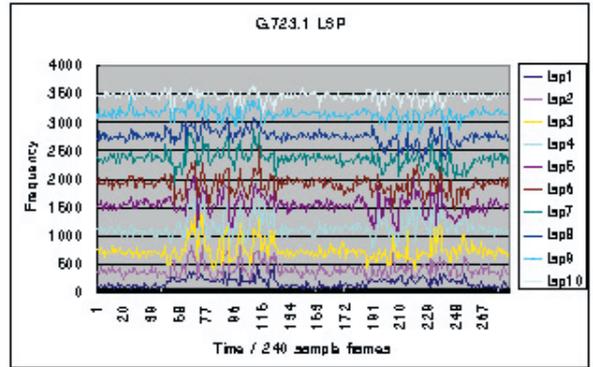


그림 5.3: Original G.723.1 LSP

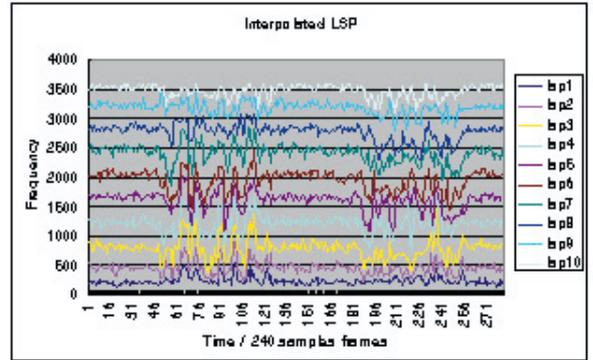


그림 5.4: Estimated G.723.1 LSP

변환 시 얻고자 하는 LSP값은 그림 5.3과 같고 실제로 linear interpolation에 의해 얻어진 값을 그림 5.4에서 나타내고 있다. 이것은 다음과 같은 수식의 시뮬레이션을 통해서 얻을 수가 있었다.

$$\begin{aligned}
 P_{A1}(j) &= 0.9P_{C1}(j) + 0.1P_{C2}(j) \\
 P_{A2}(j) &= 0.1P_{C2}(j) + 0.9P_{C3}(j) \\
 P_{Ai} &: \text{LSP}(G.723.1), P_{Ci} : \text{LSP}(AMR) \\
 (1 \leq j \leq 10) \quad (i=1,2,3)
 \end{aligned}$$

VI. 성능평가

Tandem방식에 의한 비트열 변환과 Transcoding방식의 비트열 변환 시의 계산복잡도와 지연시간을 산출하였다.

1. Complexity

	G.723.1 to AMR		AMR to G.723.1	
	Tandem (LPC)	Transcoding (buffering+ interpolation)	Tandem (LPC)	Transcoding (buffering+ interpolation)
MIPS	0.4	0.12(30%)	0.8	0.49(61%)

표 6.1: MIPS table (simulation with Pentium3 800Mhz)

표 6.1에서 알 수 있듯이 G.723.1에서 AMR로의 트랜스코딩시 complexity가 약 70% 감소하였다. 반대로 AMR에서 G.723.1로의 트랜스코딩시에는 약 40%가량의 complexity가 감소하였다.

2. Delay

G.723.1 에서 AMR로 변환 시 Delay

$$D_{AB}^{tandem} = 62.5 + \alpha_A + \beta_A + \alpha_B + \beta_B$$

$$D_{AB}^{tran} = 57.5 + \alpha_A + P_{AB} + \beta_B$$

AMR에서 G.723.1로 변환 시 Delay

$$D_{BA}^{tandem} = 62.5 + \alpha_B + \beta_B + \alpha_A + \beta_A$$

$$D_{BA}^{tran} = 55 + \alpha_B + P_{BA} + \beta_A$$

A : G.723.1 B : AMR D : delay

α : The processing time of encoder β : The processing time of decoder

P : The processing time of transcoder

Algorithmic delay와 processing delay만을 고려했을 때 G.723.1에서 AMR로의 변환 시 약 5ms, AMR에서 G.723.1로의 변환 시는 약 7ms정도 감소하였다.

VII. 결론

본 논문에서는 AMR과 G.723.1간 트랜스코딩의 4가지 방법 중 LSP 파라미터만을 이용하였다. 이 LSP 파라미터의 트랜스코딩만으로도 복잡도와 delay면에서 어느 정도의 성능향상을 얻을 수가 있었다. 현재 연구중인 나머지 3가지 파라미터에 대한 트랜스 코딩을 구현한다면 좀더 좋은 성능의 트랜스코더를 구현 할 수 있을 것이다.

References

- [1] Kyung Tae Kim, Sung Kyo Jung, Young Cheol Park, Yong Soo Choi, and Dae Hee Youn, "An efficient transcoding algorithm for g.723.1 and EVRC speech coders," IEEE VTS 54th, Volume: 3, 2001.
- [2] Hong-Goo Kang, Hong Kook Kim, and Richard V.Cox, "Improving transcoding capability of speech coders in clean and frame erased channel environments," IEEE Workshop, 2000.
- [3] ITU-T Rec. G.723.1 "Dual-rate Speech Coder For Multimedia Communications Transmitting at 5.3 and 6.3kbit/s," 1996.
- [4] TS 26.090 "AMR Speech Codec Speech Transcoding Functions".
- [5] Noboru Sugamura, and Nariman Farvardin, "Quantizer Design in LSP Speech Analysis-Synthesis," IEEE Journal on Selected Areas in Commun., Vol. 6, No. 2, Feb. 1998.
- [6] A.M. Kondoz, *Digital Speech - Coding for Low Bit Rate Communications Systems*, John Wiley and Sons, pp. 96, 1994.

무선 패킷 서비스에서 QoS를 고려한 스케줄링 IP 개발

김근영, 한영남
한국정보통신대학교 시스템집적기술연구소

본 논문은 무선 패킷 서비스에 대해 사용자간 우선권(priority) 혹은, QoS(quality of service)의 제공이 가능한 스케줄링 기법에 대해 논한다. 스케줄링 알고리즘은 사용자간 fairness는 물론 요구 QoS가 있을 경우 이를 보장해 주어야 한다. 이와 함께 시스템의 성능(예를 들면 수율) 또한 고려해야 한다. 본 논문을 통해 이를 만족할 수 있는 스케줄링 방안을 제시하고자 한다. 스케줄링의 성능 분석은 1xEV-DO 시스템과 같이 하향링크(기지국에서 이동국)에서 기지국 총 송신 전력으로 한번에 한 사용자에게 TDM(time division multiplexing)방법으로 서비스하는 시스템을 기반으로 하였다. 그러나 본 논문에서 제안되는 스케줄링 방안은 1xEV-DO시스템 뿐만 아니라 3세대 더 나아가 4세대 시스템에서도 약간의 수정을 통해 그대로 적용될 수 있는 방안이다.

I. 서론

최근 WWW, E-mail, 멀티미디어 등의 트래픽을 수용하기 위한 무선 패킷 데이터 시스템에 대한 관심이 증가하고 있다. 이러한 패킷 데이터를 서비스하기 위해서는 한정된 무선 자원을 최적화 시켜야 한다. 또한 전송율 및 패킷 delay등의 quality of service(QoS)를 제공하기 위한 방안도 큰 이슈가 되고 있다. 하지만 사용자의 다양한 요구를 수용하는 것과 무선 자원의 효율성을 최대화하는 것에는 trade-off가 있다. 즉 효율성을 최대화 하기 위해서는 가장 높은 전송율을 가질 수 있는 사용자에게 서비스를 해주어야 하지만 이는 낮은 신호대 잡음비를 가진 사용자에게는 불공정할 뿐 아니라 요구 QoS에 대한 보장도 불가능하다. 이러한 상충되는 문제를 해결하기 위해 효율적인 스케줄링 방안이 부상하고 있다. 스케줄링 방안은 일반적으로 전송할 사용자, 전송률, 전송하는 순간을 제어하는 방안이다. 이러한 스케줄링 방안은 채널 상태를 고려하여야만 시스템 성능을 향상시킬 수 있다. 다음의 예를 보면 채널 상황을 고려하지 않는 단순한 round-robin 방식 보다 채널 상황을 고려한 방식이 시스템 성능을 향상시킴을 알 수 있다[1].

사용자1에 대해서는 채널 환경이 나쁠 경우에는 76.8kb/s, 채널 환경이 좋을 경우에는 153.6kb/s로 서비스 할 수 있고 채널이 좋고 나쁠 확률은 각각 1/2이라고

가정하자. 반면에 사용자2의 경우에는 채널 환경이 나쁠 경우에는 153.6kb/s, 좋을 경우에는 307.2kb/s이고 역시 1/2의 확률로 채널 환경이 변하고 사용자1과는 독립적이라고 가정하자. 이러한 가정은 사용자2가 사용자1에 비해 전반적으로 채널 환경이 좋은 상태임을 표현한 것이다. 단순히 각각의 사용자에게 time slot을 할당하는 방안인 round robin방안일 경우 평균 전송율은

$$R_1 = 0.5 \times (0.5 \times 76.8 + 0.5 \times 153.6) \\ = 57.6\text{kb/s}$$

$$R_2 = 0.5 \times (0.5 \times 153.6 + 0.5 \times 307.2) \\ = 115.2\text{kb/s}$$

인 반면에, 상대적으로 채널 상태가 좋은 사용자에게 채널을 할당하며 둘다 채널 상태가 좋거나 나쁘거나 할 경우 0.5의 확률로 서비스를 하는 방안의 경우 평균 전송율은

$$R_1 = 0.25 \times (153.6 + 0.5 \times 76.8 + 0.5 \times 153.6) \\ = 67.2\text{kb/s}$$

$$R_2 = 0.25 \times (307.2 + 0.5 \times 153.6 + 0.5 \times 307.2) \\ = 134.4\text{kb/s}$$

로 사용자1,2에게 동일한 빈도로 서비스를 하지만 단순한

round robin방안에 비해 약 16%정도 높은 전송율로 서비스를 한다. 이 간단한 예를 통해 현재 채널 상태를 고려한 알고리즘은 다른 알고리즘에 비해 이점을 가짐을 알 수 있다.

1xEV-DO시스템에서는 채널의 특성을 반영한 proportionally fair 스케줄링 알고리즘을 사용하고 있다 [2]. 이 방안은 앞에서 제시된 바와 같이 시스템의 성능을 향상시키면서 사용자간 fairness를 제공한다는 점에서 기존의 스케줄링 알고리즘을 대폭 개선하였다. 하지만 패킷 서비스에서 중요한 사용자간 요구 QoS의 보장이나 우선권은 제공할 수 없다. 본 논문에서 제안되는 알고리즘은 1xEV-DO시스템에서의 알고리즘이 제공하지 못했던 QoS 보장 및 우선권 제공을 효율적으로 가능케 한다.

본 논문에서 제안된 알고리즘은 IP개발을 수반하고 있다. 알고리즘의 IP화를 위해서는 소프트웨어의 모듈화가 필수적이다. 이것은 입출력 파라미터의 표준화를 통해 가능하며 본 알고리즘의 입력 파라미터는 각 사용자의 신호대 잡음비이며 출력은 데이터를 전송할 사용자의 인덱스, 전송률, 전송 구간이다.

이 논문은 다음과 같이 구성된다. II장에서 기존 스케줄링 방안에 대해 설명하고 III장에서 기존 방안을 향상시킬 수 있는 스케줄링 방안을 소개한다. IV장에서는 시뮬레이션을 통해 기존 방안과 제안 방안의 성능을 비교한다. 그리고 마지막 V장에서 결론을 맺는다.

II. 기존 스케줄링 방안 - DRC/R방안

현재 상용화되고 있는 알고리즘으로는 1xEV-DO 시스템에서 사용되는 proportionally fair 스케줄링이 있다. Qualcomm에서 제안된 1xEV-DO시스템의 순방향 링크는 데이터 채널을 1.667ms간격의 슬롯으로 time multiplexed되어 있다. 순방향의 채널 구조는 그림 1과 같다.

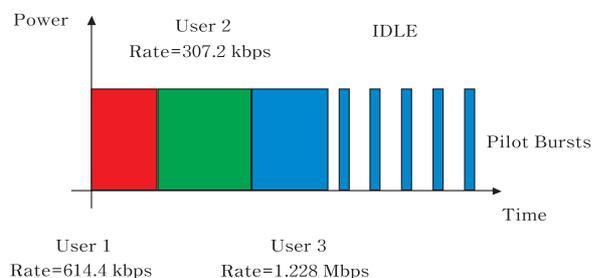


그림 1. 1xEV-DO 시스템의 순방향 채널 구조

Access terminal(AT)은 신호대 잡음비를 측정하여 전송 가능한 전송율을 DRC(Data Rate Control) 채널을 통해 access point(AP)에 전송한다. AP는 이 정보를 이용하여 적절한 AT를 선택한 후 데이터를 일정한 전력으로 전송하게 된다.

1xEV-DO 시스템은 AP가 일정한 전력으로 전송하는 반면에 채널 환경에 따라 전송하는 전송율을 변화한다. 전송율은 9개의 단계로 나누어져 있으며 각 단계는 순방향 pilot을 통해 계산된 신호대 잡음비를 AT로부터 AP에 보고하는 DRC에 의해 결정된다. 각 AT는 매 slot마다 DRC를 보고하며, 1%의 PER(Packet Error Rate)을 만족하도록 데이터 율을 결정한다. 또한 1xEV-DO시스템은 전송을 뿐만 아니라 전송 단계별로 할당하는 slot수도 변한다. 이를 요약하면 표 1 과 같다[3].

Class id	Data rate (kbps)	C/I (dB)	Slots	Packet size(bits)	Code rate	Data size (bits)
1	38.4	-12.5	16	1024	1/5	205
2	76.8	-9.5	8	1024	1/5	205
3	153.6	-6.5	4	1024	1/5	205
4	307.2	-4.0	2	1024	1/5	205
5	614.4	-1.0	1	1024	1/3	341
6	921.6	1.3	2	3072	1/3	1024
7	1228.8	3.0	1	2048	1/3	683
8	1843.2	7.2	1	3072	1/3	1024
9	2457.7	9.0	1	4096	1/3	1365

표 1. 1xEV-DO 시스템의 데이터 전송

1xEV-DO와 같은 TDM방식의 패킷 전송 시스템은 scheduler를 필요로 한다. 가장 간단한 스케줄링 방안으로 round robin 방안과 max CIR방안을 들 수 있다. Round robin방안은 순차적으로 AT에게 데이터를 전송하는 방안인데 이는 fairness를 고려한다고 볼 수 있으나 무선 채널 상태를 고려치 않았기 때문에 throughput 측면에서 손실이 발생한다. 이에 반해 max C/I방안은 가장 좋은 신호대 잡음비를 가진 사용자에게 전송하는 방안으로써 시스템 전체 측면에서 throughput을 최대로 하는 방안으로 볼 수 있으나 AP에 가까운 채널 상태가 좋은 사용자에게 무선 자원이 독점되는 상황이 발생할 수 있다. 1xEV-DO시스템은 이 두 가지 측면을 고려하여 proportional fairness방안을 제시하고 있다. 이 AT에서 요구하는 DRC와 평균 전송율(R)을 이용하여 DRC/R값이 가장 큰 사용자에게 데이터를 전송하는 방안이다. 여기서

DRC는 현 채널 상태에서 보낼 수 있는 데이터량, R은 적절한 크기를 가진 window에서 받은 평균 전송율을 의미한다. 즉, 1xEV-DO시스템에서는 다음과 같은 방안을 제시한다[2].

- 스케줄링 : 각 스케줄링 스텝에서 가장 큰 $DRC_i(t)/R_i(t)$ 사용자가 데이터를 전송 받는다. 즉, 식(1)의 j 사용자가 서비스를 받으며 이 값이 같을 경우 무작위로 선택된다. 단, 보낼 데이터가 없는 사용자는 해당되지 않는다.

$$j = \arg \max_i \frac{DRC_i}{R_i} \quad (1)$$

- 평균 전송율 갱신 : 각 사용자 i 에 대해

$$R_i(t+1) = (1-1/t_c)R_i(t) + 1/t_c * (\text{사용자 } i \text{의 현 전송율}) \quad (2)$$

현재 데이터를 전송하지 못한 사용자는 현 전송율이 '0'이며 전송할 데이터가 없는 사용자에 대해서도 갱신한다. 여기서 주목할 점은 사용자가 전송하는 순간인 스케줄링 스텝은 slot단위가 아닐 수 있으나 평균 전송율 갱신은 매 slot마다 이루어 진다. 일반적으로 $t_c=1000$ slot이다.

III. 개선된 스케줄링 방안 - kDRC/R 방안

- 스케줄링 : 사용자마다 k_i 라는 스케줄링 weight를 곱한 후 가장 큰 사용자에게 서비스한다. 여기서 Q_i 는 사용자의 QoS를 나타내는 척도이다. Q_i 를 평균 전송율이라 정의하면 식(1)에서 처럼 R_i 로 쓸 수 있다. 이에 대해서는 추후 설명한다. 즉, 다음을 만족하는 j 사용자에게 서비스 한다.

$$j = \arg \max_i k_i \frac{DRC_i}{Q_i} \quad (3)$$

- k_i 값의 설정 : 정적인 경우와 동적인 경우를 고려할 수 있다. 정적인 경우 k_i 값을 일정하게 유지하는 방안이고 동적인 경우 QoS를 만족하는 여부에 따라 k_i 값을 변화시키는 방안이다.

- Case 1(동적인 경우) : 사용자의 요구 QoS를 만족하는지 여부에 따라 k_i 값을 다음과 같이 변화시킨다.

$$\begin{cases} k_i(t+1) = k_i(t) \times \text{step_size}, & Q_i(t) \leq Q_{req} \\ k_i(t+1) = k_i(t) / \text{step_size}, & Q_i(t) > Q_{req} \end{cases} \quad (4)$$

여기서 step_size는 상수이다. 이러한 방안은 기존의 전력제어와 비슷한 기법으로 볼 수 있으며, 요구 QoS를 만족하기 위한 방안으로 볼 수 있다. k_i 값의 발산도 고려해야할 문제이다. k_i 값의 dynamic range가 정해지지 않을 경우 k_i 값은 0혹은 무한대의 값으로 발산할 수 있다.

- Case 2(정적인 경우) : 사용자의 요구 QoS를 Q_i 라 하면 다음과 같이 설정한다. 식(5)에서 $E(*)$ 는 *의 평균값을 의미한다.

$$k_i = \frac{Q_i}{E(Q_i)} \quad (5)$$

여기서 k_i 값은 Q_i 를 $E(Q_i)$ 로 나누어 구하였으나 스케줄링 시 모든 사용자가 $E(Q_i)$ 값을 공통으로 나누고 있으므로 $k_i=Q_i$ 로 설정하여도 변화는 없으나 의미를 설명하기 위하여 $E(Q_i)$ 를 식에 포함하였다.

이와 같이 제시된 스케줄링 방안은 DRC/R 방안에서는 불가능하였던 사용자간 priority지원과 QoS보장 문제를 해결할 수 있다. 사용자간 priority 지원에 대해서는 k_i 값을 정적으로 정한 경우로 볼 수 있으며 같은 채널 gain을 가진 경우 각 사용자는 정해진 k_i 의 비율로 무선 자원을 할당받게 된다. QoS보장에 대해서는 k_i 값을 동적으로 정한 경우로 볼 수 있으며 채널 gain에 관계없이 각 사용자는 요구 QoS를 보장할 수 있게끔 k_i 값을 변화시키게 된다. 기존의 DRC/R 방안과의 성능 비교는 다음 절에서 논의하고자 한다.

IV. 성능 분석 및 비교

본 장에서는 기존의 방안과 본 연구에서 제시된 방안을 시뮬레이션을 통해 비교한다. III장에서의 k_i 값의 설정시 case 2의 정적인 할당의 경우는 기존의 DRC/R 방안과 차이가 명확하다고 할 수 있으므로 DRC/R 방안과 제안방안 중 case 1의 비교를 수행한다.

1. 시뮬레이션 환경

시뮬레이션의 시스템 모델과 가정은 다음과 같다.

- 기지국 모델 : 셀 중심에 omni antenna를 가진 3rd tier까지 총 37개의 기지국을 고려한다. 각 기지국은 1xEV-DO 시스템과 같은 최대 송신 전력을 송출한다
- 이동국 모델 : N개의 이동국이 균등 분포로 중심 셀에서만 발생한다. 이 때 발생된 호의 속도는 [3km/h,100km/h] 범위에서 균등 분포하며 이동 방향 역시 [0°, 360°]범위에서 균등 분포한다. 한번 발생된 이동국의 이동 방향을 중심셀의 경계를 벗어나지 않을 시 변하지 않으며 중심 셀의 경계를 만나면 이동국의 방향을 [0°, 360°]범위에서 균등 분포하게 발생시켜 중심 셀의 경계를 벗어나지 못하도록 한다. 이러한 시뮬레이션 기법은 기존의 IS-95시스템등에서 중심 셀에서 다른 셀로 핸드오프되는 이동국을 다른 셀에서 중심 셀로 핸드오프되는 mirror image의 효과를 볼 수 있다. 즉, 이러한 이동 모델은 일반적인 이동국의 이동을 그대로 반영한 것이라 할 수 있다.
- 데이터 발생 모델 : 발생된 호는 전송할 데이터가 항상 존재하고 있다고 가정한다. www모델 등 실제의 트래픽 모델을 도입할 수 있으나 스케줄링 방안의 효율성을 비교하는데 있어서는 이러한 가정은 일반성을 잃지 않는다.
- 채널 모델 : pathloss, shadowing과 fading을 고려한다.
- CI 계산 모델(Effective CI with Max CI Cap) : 최대 CI 값은 base-band pulse shaping waveform, noise floor, ADC quantization error, adjacent carrier interference에 의해 야기되는 inter-chip interference에 의해 제한된다. 따라서 다음과 같이 CI 값을 계산한다.

$$\alpha = \frac{1}{(C/I)_{max}},$$

$$(C/I)_{effective} = \frac{1}{\frac{1}{(C/I)_{calculated}} + \alpha} \quad (6)$$

2. 시뮬레이션 파라미터

성능 비교를 위한 시뮬레이션에서 DRC/R방안과 kDRC/R방안에서 공통으로 설정된 파라미터는 표 2와 같다.

	Parameter	Explanation/Assumption
기지국 관련	셀 layout	Hexagonal grid, 3 rd tier
	셀 총 송신 전력	10W
	셀 반경	1km
이동국 관련	이동국 분포	균등 분포
	이동국 속도	[3km/h, 100km/h]
	이동국 방향	[0°, 360°]
채널 관련	Path loss model	$L = 28.6 + 35\log_{10}d$, (d의 단위는 meter)
	Shadowing	Lognormal 분포
	Fading	Jakes' model
	셀간 상관도	0.5
	d_{corr}	50
Slot size	1.67 ms	
Window size	1000 slots	
Orthogonal factor	0.06	
Chip rate	1.2288Mcps	
Background noise(N_0)	1.2288×10^{-14}	
Max C/I	14dB	

표 2. 시뮬레이션 파라미터

개선 방안에서 k_i 값 관련 파라미터는 표 3과 같이 설정하였다.

Parameter	Explanation
k_i dynamic range	[0.125, 8]
k_i step size	3dB

표 3. k_i 값 설정

k_i 값의 설정은 개선 방안에서 중요한 영향을 미친다. k_i 값에 dynamic range를 두지 않을 경우 0 혹은 무한대의 값으로 발산하게 된다. k_i 값의 최대 최소값은 스케줄링에 영향을 미치지 않으며 최대 최소값의 차이가 영향을 미치게 된다. 본 시뮬레이션에서는 k_i 값의 범위를 1xEV-DO 시스템에서 전송율의 최소값이 38.4kpbs, 최대값이 2457.6kpbs, 그리고 최대 최소의 비가 64이므로 k_i 값의 비도 64가 되게끔 설정하였다.

사용자별 요구 QoS는 표 4와 같이 설정하였다.

사용자 Class	요구 QoS
High performance	153.6kbps
Low performance	38.4kbps

표 4. 사용자별 요구 QoS

시뮬레이션 상에서 high performance를 요구하는 사용자는 1명으로 설정하였으며 다른 사용자에 대해서는 low performance를 요구하는 것으로 가정하였다.

3. 시뮬레이션 결과

성능 분석의 척도로 다음의 두 가지를 비교하도록 한다.

- 개인별 throughput : 사용자의 평균 전송율. 예를 들면 사용자가 두 slot동안 10kbps와 20kbps로 데이터를 전송하였다면 throughput은 15kbps가 된다. throughput을 실제 받은 데이터와 시간의 비로 정의하기도 하나 전송율과 실제 전송되는 데이터량은 비례하다고 볼 수 있으므로 가능한 정의라 볼 수 있다.
- Delay : 사용자가 서비스 요청이 있을 후 서비스를 받을 때 까지 걸리는 평균 시간.
- 시스템 throughput : 기지국에서 각 사용자에게 제공하는 총 전송율.

시뮬레이션의 객관성을 위해 기존 방안인 DRC/R 방안과 개선 방안은 동일한 채널 환경하에서 결과가 도출되어야 한다. 이를 위해 DRC/R방안과 개선 방안의 DRC분포가 거의 같음을 보이는 것이 필요한데 그림 2, 3은 이를 나타낸다.

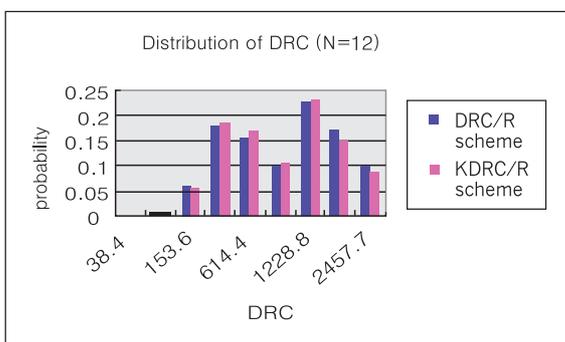


그림 2. DRC 분포 - 사용자수가 12명인 경우

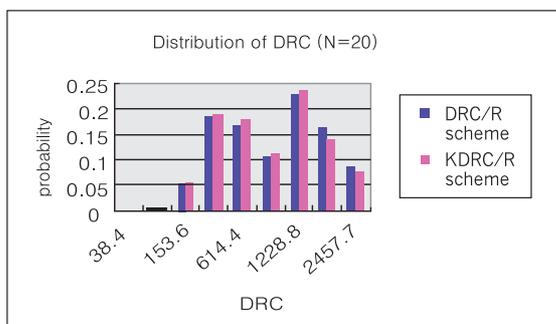


그림 3. DRC 분포 - 사용자수가 20명인 경우

추후 보여주게 될 결과들 중 kDRC/R방안은 사용자의 마지막 index를 high performance(153.6kbps)를 요구하는 사용자로 가정하였다.

즉, 12명의 사용자가 있을 시 12번 index의 사용자가 high performance를 요구하고 나머지 1~11번 index사용자는 low performance(38.4kbps)를 요구한다. 사용자별 throughput은 그림 4, 5와 같다.

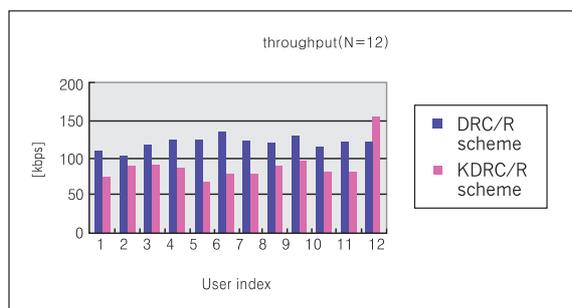


그림 4. 개인별 throughput - 사용자수가 12명인 경우

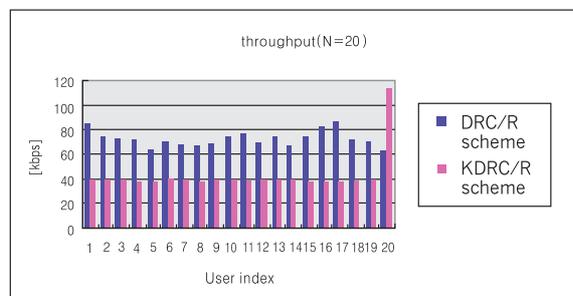


그림 5. 개인별 throughput - 사용자수가 20명인 경우

그림 4, 5에서 보는 바와 같이 kDRC/R방안의 경우 high performance를 요구하는 사용자에 대해 높은 throughput을 제공하고 있으며 사용자 수가 12명인 경우를 비교해 보면 DRC/R에서 보장하지 못한 QoS를 만족함을 볼 수 있다.

또한 시스템의 부하가 큰 20명인 상황에서는 요구 전송율을 만족하지 못하지만 높은 전송율을 제공하여 high performance 사용자에게 우선권을 제공할 수 있다. 사용자별 delay는 그림 6, 7과 같다.

V. 결론

시뮬레이션 결과를 통해 알 수 있듯이 개선 방안인 kDRC/R 방안은 기존 방안인 DRC/R에서는 불가능 하였던 QoS보장/priority부여를 할 수 있다. 즉, DRC/R 방안에서는 QoS를 만족할 수 없었으나 kDRC/R 방안을 사용하면 만족할 수 있다. 하지만 부하가 커질 경우 kDRC/R 방안도 요구 QoS를 만족할 수는 없으나 high performance를 요구하는 사용자가 low performance를 요구하는 사용자들에 비해 더 높은 throughput을 가짐을 알 수 있다. 이것은 high performance 사용자에게 priority를 부여하는 방안으로 볼 수 있다. 만약 QoS를 보장해 주기 위해서는 다음의 두가지 방안을 더 고려해 볼 수 있다.

- 호 수락 제어등을 통해 QoS를 만족할 수 있을 때까지 호 수락 요구를 수용한다.
- k 값의 dynamic range를 크게 한다. 본 시뮬레이션에서는 dynamic range를 64로 하였으나 이를 더 크게 한다.

위 두가지 방안을 이용하여 QoS를 만족할 수 있으나 QoS를 만족해 주기 위해 요구 사용자의 환경이 좋지 않은 상태에서 서비스 해 주어야 하므로 시스템 throughput에서 손해를 보게 된다. 즉, 요구 QoS만족과 시스템 성능간의 trade-off관계가 있다. 제안된 알고리즘의 IP화는 입출력화의 표준화를 통한 소프트웨어의 모듈화로 가능하다.

References

- [1] Matthew Andrews et al., "Providing Quality of Service over a Shared Wireless Link," IEEE Commun. Mag., Feb. 2001.
- [2] A. Jalali et al., "Data Throughput of CDMA-HDR a High Efficiency-High Data Rate Personal Communication Wireless System," IEEE VTC 2000.
- [3] J. H. Rhee, T. H. Kim and D. K. Kim, "A Wireless Fair Scheduling Algorithm for 1xEV-DO System," IEEE VTC 2001-Fall, pp.743-746, 2001.

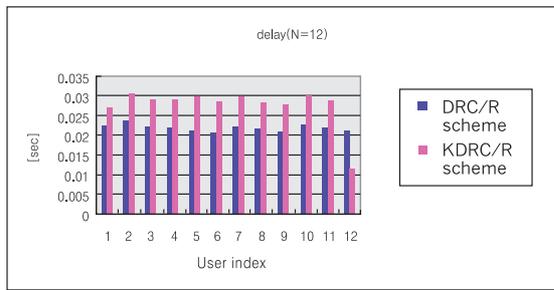


그림 6. 개인별 delay - 사용자수가 12명인 경우

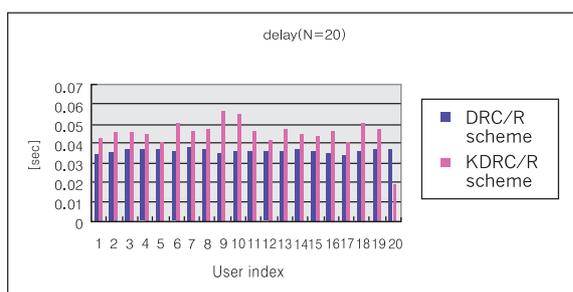


그림 7. 개인별 delay - 사용자수가 20명인 경우

그림 6, 7에서 보는 바와 같이 kDRC/R 방안은 high performance를 요구하는 사용자는 더 작은 delay를 가짐을 확인할 수 있다. 시스템 throughput은 그림 8과 같다.

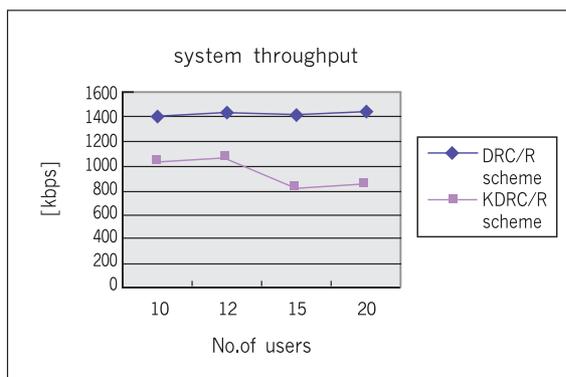


그림 8. 시스템 throughput

그림 8을 보면 kDRC/R 방안의 경우 시스템 throughput이 DRC/R 방안에 비해 작음을 볼 수 있다. 이는 high performance를 요구하는 사용자에게 서비스를 해주기 위해서 발생한 결과이다.

멀티미디어 서비스를 위한 하향링크 호 수락 제어 IP 개발

이지용, 구자용, 한영남
한국정보통신대학교 시스템집적기술연구소

본 논문에서는 하향링크 멀티미디어 서비스를 위한 호 수락 제어 방안을 제안하였다. 순시적인 측정에 의한 수락 제어 방안은 용량 감소를 일으키고 QoS를 저하시킬 수 있는데 이는 기지국 전력 레벨의 급격한 변화에 기인한다. 대신에 실시간 서킷 서비스에 대해서는 평균 전력 레벨을 그리고 비실시간 패킷 서비스에 대해서는 평균 큐 사이즈를 고려한다. 제안된 호 수락 제어 방안의 성능을 차단을, 훼손율, 수율에 관해 시뮬레이션 결과로 보인다.

I. 서론

3세대 셀룰러 시스템은 각기 다른 지연시간, 수율 등의 QoS(Quality of Service)를 제공해야 한다. UMTS(Universal Mobile Telecommunication System)에서는 다음과 같은 네 가지 트래픽 클래스가 정의되어 있다[5].

- Conversational (voice, video telephony, video games)
- Streaming (streaming multimedia)
- Interactive (web browsing, network games)
- Background classes (background download of emails)

이러한 분류는 트래픽이 지연시간에 얼마나 민감한가에 따라 이루어진다. Conversational과 Streaming은 WCDMA 무선 구간상에서 실시간 연결로 서비스되고 Interactive와 Background는 스케줄링된 비실시간 패킷 데이터로 서비스된다.

HTTP (arrival rate : 0.1 /sec)

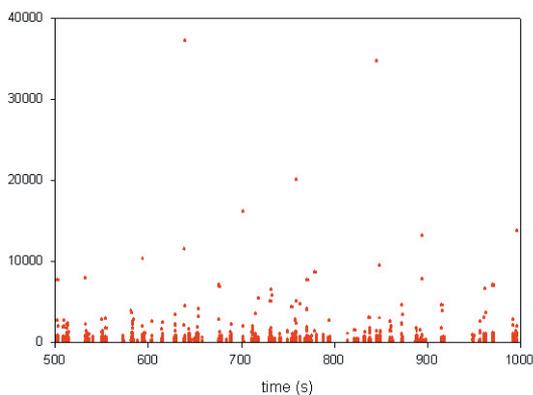


그림 1. WWW 브라우징 세션

그림 1은 일련의 패킷 호로 구성되어 있는 WWW(World Wide Web) 브라우징 세션을 보여준다. 패킷 사이의 시간 간격과 패킷의 크기가 짧은 구간 내에서 큰 편차를 가지고 있음을 알 수 있다. 이러한 트래픽 특성은 시스템 설계 시 고려할 중요한 요소이다. 무선 구간상에서 비실시간 패킷 서비스의 특징은 다음과 같다.

- 패킷 데이터는 버스트하다. 요구 데이터율이 빠르게 변한다.
- 패킷 데이터는 실시간 서비스보다 지연시간에 덜 민감하다. 따라서, 패킷 데이터는 RAN(Radio Access Network)의 관점에서 제어가 가능한 트래픽이다. Interactive 서비스에서 단말기는 적절한 시간 안에 데이터를 수신해야 하지만 background 서비스에서는 사용하지 않는 무선 자원을 활용하여 데이터를 전송하면 된다.
- 패킷은 RLC(Radio Link Control)에 의해서 재전송이 될 수 있다. 이것은 실시간 서비스보다 열악한 무선 링크의 사용과 더 높은 프레임 에러율을 가능하게 한다.

WCDMA 시스템에서, QoS는 RRM(Radio Resource Management)의 하나인 호 수락 제어에 의해 제어될 수 있다. 호 수락 제어의 목적은 시스템의 안정성과 높은 시스템 용량을 보장하는 것이다. 일반적으로 서비스 중인 호의 절단(dropping)이 새로운 호의 차단(blocking)보다 서비스 질에 영향을 더 주므로 시스템의 부하가 일정 수준 이상이 되면 더 이상의 호 수락을 하지 않게 된다. 그러나, 지나치게 엄격한 호 수락 제어를 하게 되면 오히려 호의 차단과 핸드 오버 실패가 빈번하게 발생하게 되어 서비스 질이 떨어질 수 있다.

그 동안 호 수락 제어 방법에 대한 많은 연구가 이루어져

왔다. [1]에서는 CDMA 시스템의 회선 교환 연결에 대해서 기지국으로부터의 송신전력에 기반을 둔 하향링크 호 수락 제어가 연구되었다. 기지국에서의 최대 송신 전력을 제한하게 되면 각 채널의 최대 송신 전력을 제한하는 방법에 비해서 호 절단율(dropping probability)을 줄일 수 있게 된다. [2]에서는 각기 다른 요구 SIR(Signal-to-Interference Ratio)과 전송율을 갖는 다중 클래스를 서비스하기 위한 호 수락 제어 기법이 제안되었다. 서로 각기 다른 요구 SIR을 갖는 서비스는 시스템 용량을 최적화하는 요구 전력비가 존재함을 알 수 있다. 그러나, 셀룰러 패킷 시스템에서는 다수의 사용자가 하향링크 무선 자원을 공유하기 때문에 문제가 더 복잡해진다. [3]에서는 기지국의 평균 송신 전력 및 패킷의 지연 시간이 고려된 호 수락 제어 방법이 제안되었다. 본 연구에서는 실시간 회선 교환 서비스에 사용되는 평균 송신 전력과 비실시간 패킷 교환 서비스에서의 서비스 대기중인 큐의 평균 크기를 고려한 호 수락 제어를 제안한다.

본 논문에서 제안된 알고리즘의 IP 개발 시 모듈의 입력 파라미터는 총 송신전력, 전용채널에 할당된 전력, 큐 사이즈이며 출력 파라미터는 호 수락 여부이다.

2절에서는 하향링크의 용량을 분석하고 3절에서는 호 수락 제어 기법을 제안한다. 제안된 기법은 4절에서 소개된 환경에서 시뮬레이션 되어 결과를 보여준다. 마지막으로 5절에서는 앞으로 연구해야 할 부분에 대해 언급하며 결론을 내릴 것이다.

2. 하향링크 용량 분석

하향링크에서 기지국 i 로부터 서비스 받고 있는 이동국 k 의 수신 SIR(Signal-to-Interference Ratio)은 다음과 같이 정의된다.

$$\gamma_{k,i} = \frac{P_{k,i}g_{k,i}}{hP_i g_{k,i} + \sum_{j \neq i} P_j g_{k,j} + \eta} \quad (2.1)$$

P_i : 기지국 i 의 총 송신 전력

$P_{k,i}$: 기지국 i 의 총 송신 전력 중 이동국 k 에 할당된 전력

$g_{k,i}$: 기지국 i 와 이동국 k 사이의 채널 이득

h : orthogonality factor

η : 배경 잡음 전력

$hP_i g_{k,i}$ 와 $\sum_{j \neq i} P_j g_{k,j}$ 는 각각 이동국 k 가 동일 셀과 인접 셀로부터 받고 있는 간섭을 나타낸다. $\sum_{j \neq i} P_j g_{k,j}$ 를 $I_{oc,i}$ 라 하고 식 (2.1)을 다시 정리하면

$$P_{k,i} = \gamma_{k,i} \left(hP_i + \frac{I_{oc,i} + \eta}{g_{k,i}} \right). \quad (2.2)$$

DCH(Dedicated Channel)를 사용하는 이동국 k 가 i 기지국로부터 $P_{k,i}$ 를 할당 받는 시스템을 가정한다. 기지국 i 로부터 DSCH(Downlink Shared Channel)에 할당된 총 송신 전력은

$$P_{DSCH,i} = P_i - \sum_{k=1}^M P_{k,i}. \quad (2.3)$$

모든 이동국의 요구 SIR이 γ 로 동일하고 인접 셀 간섭 대 잡음 비, $\frac{\eta}{hP_i g_{k,i}}$ 를 무시할 수 있다고 가정한다. 그리고 동일 셀 간 $hP_i g_{k,i}$ 에 대한 인접 셀 간섭 비 I_{oc}/I_c 를 f 라 하면 식 (2.3)은 다음과 같이 정리된다.

$$P_{DSCH,i} = P_i \{1 - Mh\gamma(1+f)\}. \quad (2.4)$$

마지막으로 DCH를 이용하는 이동국들에 요구 전력을 할당한 후 남은 전력을 DSCH에 할당한다고 가정하면 식 (2.1)과 (2.4)를 이용해서 DSCH의 평균 수율(throughput)을 얻을 수 있다.

$$R_{DSCH,i} = \frac{W}{\beta} \frac{\{1 - Mh\gamma(1+f)\}}{h(1+f)}. \quad (2.5)$$

W : 대역폭

β : 요구 E_b/N_o

그림 2는 셀 경계 근처에서 $f \approx 1.78$ 이라고 가정했을 때 DCH를 사용하고 있는 이동국의 수와 DSCH의 평균 수율 사이의 관계를 식 (2.5)를 이용하여 보여준다[4]. 시스템의 용량을 극대화하기 위해서는 DCH와 DSCH 사이에 적절한 무선 자원의 공유가 요구됨을 알 수 있다.

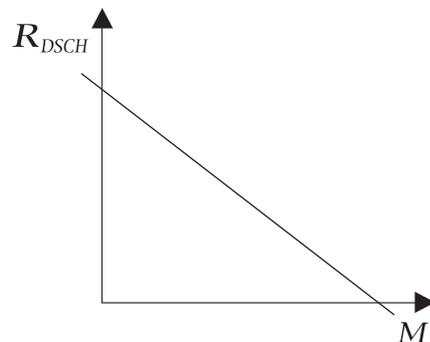


그림 2. DCH의 수와 DSCH의 평균 수율 사이의 관계

3. 호 수락 제어

기지국의 송신 전력 레벨은 전력 제어에 의해 매순간 변하기 때문에 순간 송신 전력을 이용한 호 수락 제어는 용량 감소와 호 품질 저하를 일으킨다. 이는 T 시간 동안의 평균치를 호 수락 제어의 기준으로 삼음으로써 해결할 수 있다. DCH는 실시간 회선 교환 서비스에 사용되고 DSCH는 비실시간 패킷 교환 서비스에 이용된다고 가정한다. 또한 DCH를 사용하는 이동국에 요구 전력을 먼저 할당하고 남은 전력을 DSCH에 할당한다. 즉, DCH 호가 DSCH 호보다 높은 우선권을 갖는다.

3.1 DCH 호 수락 제어

DCH 트래픽 부하는 기지국에서의 송신 전력으로 정의한다. DCH 호에 대한 호 수락 제어는 다음의 조건을 따른다.

$$\bar{P}_{DCH} + P_{new} < P_{TH} \tag{3.1}$$

- P_{DCH} : 시간 동안의 DCH에 할당된 평균 송신 전력
- P_{new} : 새로운 호에 요구되는 송신 전력
- P_{TH} : DCH에 할당될 수 있는 총 송신 전력 임계값

P_{TH} 의 값이 기지국의 최대 송신 전력에 가까워지면 전력제어에 의해 각각의 DCH 호의 훼손율이 커지고 DSCH의 평균 수율이 작아진다. 반면에 P_{TH} 의 크기가 작게 되면 DCH 호의 차단율이 커지고 DSCH의 평균 수율이 커진다. P_{TH} 는 다음과 같은 조건을 갖는다.

$$P_{TH} = \phi_{TH} P_{max} \tag{3.2}$$

여기서 $0 \leq \phi_{TH} \leq 1$ 이고 P_{max} 는 기지국의 최대 송신 전력을 의미한다.

3.2 DSCH 호 수락 제어

DSCH 트래픽의 부하는 기지국에서 서비스 대기중인 패킷의 양으로 정의한다. DSCH 호에 대한 호 수락 제어는 다음의 조건을 따른다.

$$\bar{Q}_{DSCH} < Q_{TH} \tag{3.3}$$

- \bar{Q}_{DSCH} : 시간 동안의 평균 큐의 크기
- Q_{TH} : DSCH 큐 크기의 임계값

DSCH의 수율이 커지거나 패킷의 도착율이 작아지면 \bar{Q}_{DSCH} 가 작아져서 DSCH 호의 차단율이 작아진다. 반면에 DSCH의 수율이 작아지거나 패킷의 도착율이 커지면 \bar{Q}_{DSCH} 가 커져서 DSCH 호의 차단율이 커진다. DSCH의 수율은 식 2.4와 같이 DCH 트래픽 부하와 관련이 있기 때문에 결국 P_{TH} 의 영향을 받는다. 제안된 호 수락 제어에 대한 알고리즘은 그림 3에 나타나 있다. 초기화된 호는 호 수락 제어 기준을 만족시키지 못할 경우 즉시 차단되는 것으로 가정한다.

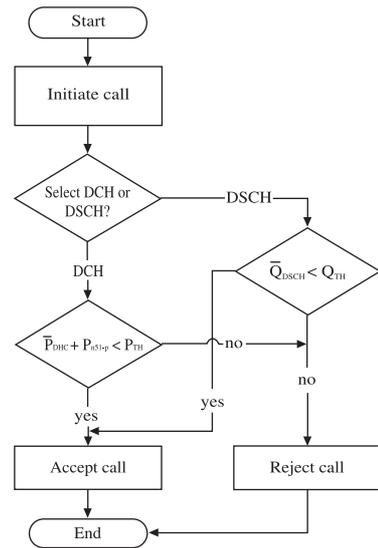


그림 3. 호 수락 제어 알고리즘

4. 시뮬레이션

4.1 시뮬레이션 환경

제안된 호 수락 제어 방안이 WCDMA 시스템의 하향링크의 성능에 어떠한 영향을 주는지 평가하기 위하여 시스템 레벨 시뮬레이션이 수행되었다. 주요 시뮬레이션 파라미터는 표 1에 주어졌다. 기지국의 최대 송신 전력은 제한되어 있고 모든 트래픽 클래스는 동일한 요구 E_b/N_0 값을 갖는다고 가정한다. 또한, 모든 이동국은 멀티 셀 환경에서 균일 분포를 갖는다고 가정한다. 시뮬레이션 결과로서 호 차단율, 호 훼손율, 평균 수율이 얻어진다. DSCH에 사용되는 스케줄링으로 FIFO가 사용되었고 fairness는 고려되지 않았다.

4.2 트래픽 모델링

실시간 회선 교환 서비스에 대해서 음성 호는 평균 100초

의 길이를 갖는 Poisson Process에 따라 발생되고 호 사이의 간격은 지수분포를 갖는다. 음성 호의 activity는 100 로 가정된다.

비실시간 패킷 교환 서비스에 대한 WWW 트래픽 모델의 파라미터는 표 2에 정리되어있다[6]. 그림 4는 WWW 브라우징 세션의 일반적인 특성을 나타낸다. WWW 서비스에서 패킷의 크기는 파레토 분포로서 모델링 된다.

파라미터	값
Number of cells	19
Cell radius	1 km
Path-loss model	$15.3+37.6\log(R)$
Shadow fading	Log-normal, std 10dB
Orthogonality factor	0.2
Maximum output power of BS	10
Required E_b/N_o	3
Scheduling policy	FIFO
Averaging window size	100 frames

표 1. 시뮬레이션 파라미터

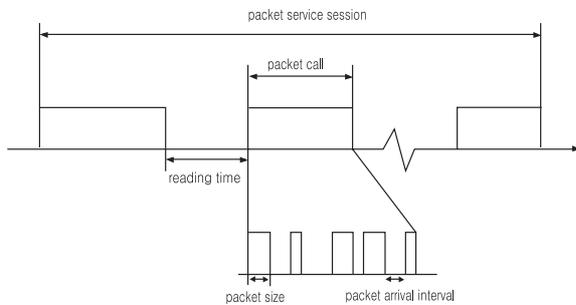


그림 4. WWW 브라우징 세션의 일반적인 특징

Packet size	Truncated Pareto (max =66666 bytes)	$K=71.7$ bytes, $a=1.1$
Number of packet bursts per session	Geometric	Mean=5
Number of packets in a packet burst	Geometric	Mean=25
Inter-arrival time between packets within a packet burst	Exponential	Mean=0.0277
Reading time	Exponential	Mean=412

표 2. WWW 트래픽 모델 파라미터

4.3 시뮬레이션 결과

그림 5와 6은 각각 음성 호 도착율에 따른 호 차단율과 훼손율을 보여주고 있다. 음성 호 도착율이 커짐에 따라 차단율과 훼손율 모두 증가한다. 또한 그림 7과 8에서 ϕ_{TH} 가 커짐에 따라 호 차단율은 작아지고 훼손율은 증가함을 알 수 있다. 그림 9와 10은 각각 WWW 호 도착율에 따른 평균 수율과 평균 큐 크기를 보여준다. DSCH의 최대 수율은 ϕ_{TH} 에 의해 좌우된다. 다시 말해, ϕ_{TH} 가 1에 가까워짐에 따라 최대 수율은 작아진다.

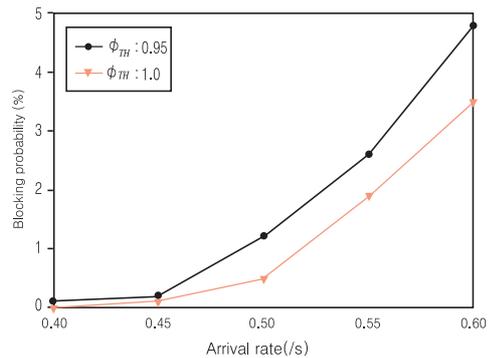


그림 5. 음성 호의 도착율에 따른 차단율

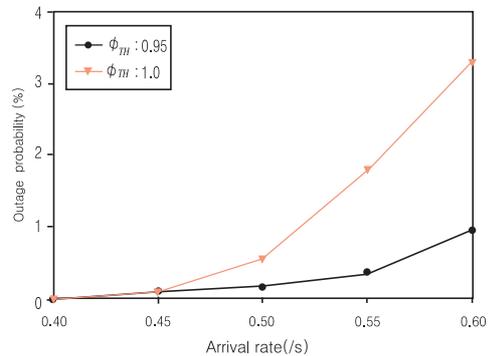


그림 6. 음성 호의 도착율에 따른 훼손율

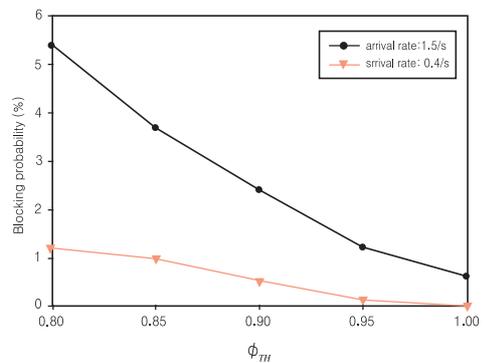


그림 7. 음성 호의 ϕ_{TH} 에 따른 차단율

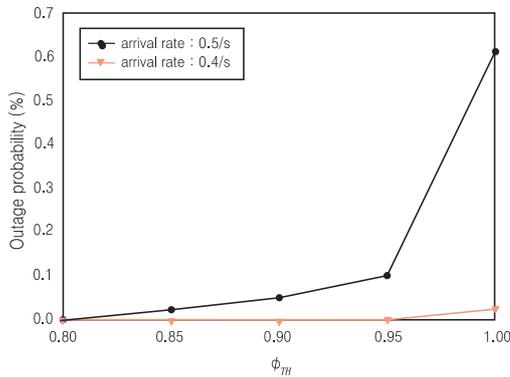


그림 8. 음성 호의 ϕ_M 에 따른 훼손율

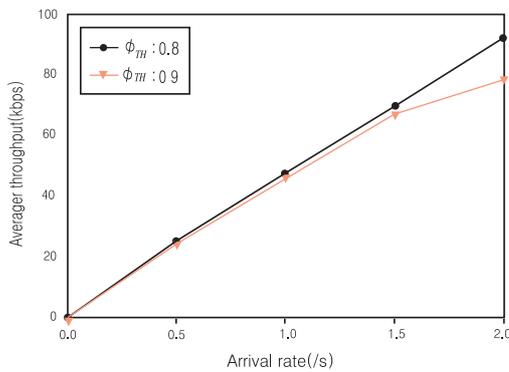


그림 9. WWW 호의 도착율에 따른 평균 수율

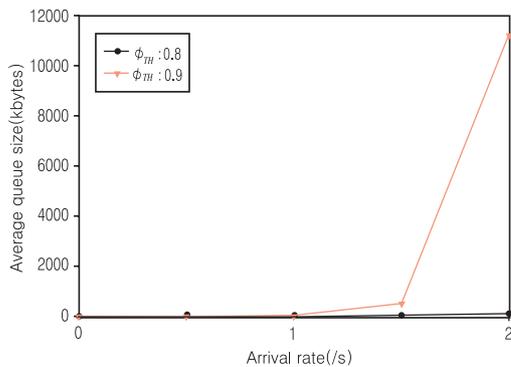


그림 10. WWW 호의 도착율에 따른 평균 큐 크기

DCH 호의 호 훼손을 막을 수 있다. 따라서 RRM(Radio Resource Management) 관점에서 보다 효율적일 수 있고 각각의 서비스에 대한 QoS가 만족될 수 있다. 앞으로 부하 제어의 한 방법인 패킷 스케줄링에 대한 연구가 요구되며, 소프트웨어 모듈화를 통해 제안된 호 수락 제어 알고리즘의 IP 구현이 가능하다.

References

[1] J. Knutsson, P. Butovitsch, M. Persson and R.D. Yates, "Downlink admission control strategies for CDMA systems in a Manhattan environment," VTC 98, Vol. 2 , pp. 1453 -1457.

[2] Kuenyoung Kim and Youngnam Han, "A Call Admission Algorithm with Optimal Power Allocation for Multiple Class in CDMA System," IEEE VTC2000 Fall, Vol. 6, pp. 2666-2671.

[3] Muhammad Kazmi, Philippe Godlewski and Christophe Cordier, "Admission Control Strategy and Scheduling Algorithms for Downlink Packet Transmission in WCDMA," IEEE VTC2000 Fall, Vol. 2, pp. 674-680.

[4] Jhong Sam Lee and Leonard E. Miller, *CDMA Systems Engineering Handbook*, Artech House, 1998.

[5] Harri Holma, Antti Toskala, *WCDMA for UMTS*, John Wiley & Sons, New York, 2000.

[6] TR 30.03 V3.2.0; Selection procedures for the choice of radio transmission technologies of the UMTS.

5. 결론

다양한 시뮬레이션 환경 하에서 DCH는 평균 전력을 DSCH에 대해서는 평균 큐 사이즈를 고려한 하향링크 호 수락 제어 기법이 연구되었다. DCH의 호 수락 제어에 있어서 전력 마진은 DSCH에 대한 최소 자원을 보장하면서

Principles of SoC (II)

이 진, 박신중

한국정보통신대학교 시스템집적기술연구소

Principles of SoC(I)에서는 SoC의 design flow에 대한 개략적인 설명과 design flow에서 제일 우선적으로 행해지는 system specification작업 및 SW/HW partitioning 작업, C와 VHDL coding에 적용되는 constraint에 대해서 설명하였다. 이번 tutorial article에서는 platform의 component들에 대한 기반 지식들을 다룬다. MCU와 bus architecture에 대한 내용을 다룬다. MCU는 기본 개념은 물론, data forwarding이나 cache, branch process같은 MCU의 성능을 향상 시킬 수 있는 기술들에 대해 설명한다. Bus architecture 또한 bus의 기본 개념과 ARM사에서 제안하는 AMBA bus를 예로 들어 bus의 동작에 대해 설명한다.

I. 서론

SITI의 SoC design flow는 system specification에서 시작하여 system의 functional 검증을 한 후 SW/HW partitioning 단계를 거치게 된다. SW와 HW로 양분된 system의 각 block 중 SW part는 C like language로, HW part는 VHDL같은 HDL language로 구현이 된다. 이 결과물들은 각 part의 검증단계를 거친 후 SW/HW co-simulation/emulation 단계를 거쳐서 미리 준비된 platform에 장착되어 test bench 형태로 최종 검증을 하게 된다.

이 tutorial article에서는 primitive example을 가지고 SoC design flow에 대한 이해를 돕고, platform을 이루고 있는 핵심 components (MCU, OS, bus architecture, standard interface)의 기본 지식을 다루어 platform architecture에 대한 이해를 도울 것이다. 아울러 독자가 C/HDL coding의 경험이 있다고 가정한 후, SoC constraint coding방법을 제시하여 reusable, reliable IP생성이 가능하게 하고자 한다.

본 article은 총 6개의 장으로 구성되어 있다. 1장에서는 원하는 system의 특징을 결정하는 system specification의 방법에 대해서 다룬다. System specification 단계에서는 먼저 system의 특징을 결정하고, 다음 design flow들에서 기준이 될 requirement parameter를 결정하게 된다. 그 후에 전체 system을 stand-alone이 가능한 sub-block들로 나누고, 이 것들을 이용하여 system의

block diagram을 작성하게 된다. 작성된 block diagram을 기반으로 system의 입/출력을 정의하게 되고, 각 sub-block들의 입/출력 정의 및 sub-block간 connection이 정의되게 된다. 전체 system의 동작내용은 flow chart를 이용하여 설명되고, 이후에는 각 sub-block별로 algorithm이 설명되고, sub-block의 block diagram 및 flow chart를 작성하여 동작을 기술한다. 2장은 1장에서 다룬 system specification을 기반으로 system의 SW/HW partitioning에 대해서 다룬다. 우선 SW/HW의 특징 및 이론적 접근 방향에 대해 분석한다. 그 후에 SITI에서 사용하고 있는 partitioning방법과 partition flow에 대해 설명한다. 3장은 C/HDL coding에 있어서의 주의사항 및 coding technique에 대한 내용을 다룬다. 타인이 code를 이해하게 쉽도록 하는 기본적인 coding guideline에서부터, SoC 측면에서 면적을 최소화 시킬 수 있는 technique, 수행 시간을 빠르게 할 수 있는 technique, synthesis tool에 independent하게 결과를 얻을 수 있는 technique등에 대해서 다룬다. 4장에서는 platform의 component들에 대한 기반 지식들을 다룬다. MCU와 OS, bus architecture 및 standard interface에 대한 내용을 다룬다. MCU는 기본 개념은 물론, data forwarding이나 cache, branch process같은 MCU의 성능을 향상 시킬 수 있는 기술들에 대해 설명한다. OS는 OS의 기능 및 real-time OS의 특징 및 요구사항에 대해 다룬다. Bus architecture는 bus의 기본 개념과 ARM사에서 제안하는 AMBA bus를 예로 들어 bus의 동작에 대

한 설명한다. Standard interface에 관해서는 VSIA에서 제안하는 VCI(virtual component interface)의 개념 및 실제 구현 예를 설명한다. 5장에서는 1장과 2장 3장을 거쳐 제작된 SW와 HW의 code들을 묶어서 Mentor사의 Seamless를 사용하여 co-simulation하는 방법을 다룬다. 마지막으로 6장에서는 Aptix사의 System explorer와 Mentor사의 Celaro를 사용하여 SW/HW의 co-emulation하는 방법을 다룬다. 각 장의 내용은 다음 표 1로 요약할 수가 있다.

장	내 용
1장	<ul style="list-style-type: none"> • System의 특징 설명 • System의 requirement parameter 결정 • System을 stand-alone sub-block으로 나눔 • System block diagram작성 • System flow chart로 system 동작 설명 • 기능 검증
2장	<ul style="list-style-type: none"> • SW/HW의 특징 • 이론적 접근 방향 • SITI의 partitioning 방법 • SW/HW partitioning flow
3장	<ul style="list-style-type: none"> • Reusability를 위한 general coding guideline • Reliability및 efficiency를 위한 coding techniques
4장	<ul style="list-style-type: none"> • MCU (micro control unit) • Operating system • Bus architecture • Standard interface
5장	<ul style="list-style-type: none"> • Seamless의 특징 및 사용방법 • Primitive example을 이용한 co-simulation방법
6장	<ul style="list-style-type: none"> • System explorer의 특징 및 사용방법 • Celaro의 특징 및 사용방법 • Primitive example을 이용한 co-emulation방법

표 1. 각 장의 내용

1호에서 이 tutorial은 총 3회에 나누어져 연재가 될 것이라고 언급하였다. 또한 1호에서는 1장과 2장, 3장의 내용을 다루며, 이번 2호에서는 4장을 자세하게 다루고, 3호에서는 5장과 6장의 내용을 자세하게 다룰 것이라고 하였다. 하지만, 분량관계상 4장의 내용 중 “Operating system”과 “Standard interface”은 다음 호에 다룬다. 즉, 금번호에서는 4장의 “MCU”와 “Bus architecture”를 다루며, 3호에서는 “Operating system”과 “Standard interface”에 대해서 다룰 것이다. 그리고 4호에서 5장, 6장의 내용을 다루게 된다. 이 tutorial은 총 4회로 연장되

있음을 알린다.

II. MCU (Micro Control Unit)

1. MCU의 기본 개념

현재 MCU의 주된 architecture는 RISC(Reduced Instruction Set Architecture)이다. RISC의 큰 특징은 다음과 같다.

- Instruction의 길이가 고정되어 있고, format도 몇 가지로 고정되어 있다.
- Load/Store instruction만이 memory에 access할 수 있다.
- 다수의 general purpose register를 사용한다.
- Pipeline execution이 가능하다.
- Instruction의 수행이 1 clock cycle에 일어난다. (single-cycle execution)

오늘날 가장 많이 사용되는 MCU는 ARM사의 ARM과 MIPS사의 MIPS, Motorola와 IBM의 PowerPC, SUN의 SPARC등이 있다.

그림 1은 PowerPC의 instruction 구조의 예로 RISC는 고정된 instruction길이를 갖고 고정된 format으로 이루어져 있다는 것을 보여준다.

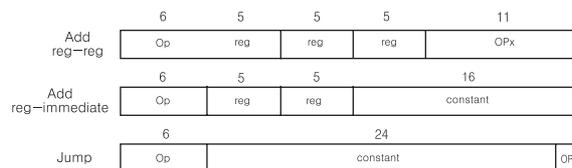


그림 1. PowerPC instruction

MCU를 선정할 때 고려하는 parameter를 5가지 정도로 정리할 수가 있다. 첫 번째는 MCU의 “operation clock speed”로 기본적인 MCU의 속도를 알 수가 있다. 두 번째는 “word size”로 MCU가 내부적으로 한번에 몇 bit의 data를 처리하는 가를 나타내며 8, 16, 32, 64bit등이 있다. 세 번째는 MIPS(Million Instruction Per Second)로 이는 일 초당 몇 백만개의 instruction을 수행할 수 있는 가를 나타낸다. 일반적으로 1초에 clock speed의 1.2~1.5배 정도의 instruction을 수행할 수 있다. 네 번째는 power consumption으로 MCU의 power소비를 나타낸다. 다섯번째는 내부 cache의 size이다. Cache가 클

수록 외부 main memory로 access하기 위한 시간을 줄 일 수가 있다.

RISC의 일반적인 machine architecture는 그림 2와 같 고 instruction의 구조는 그림 3와 같다.

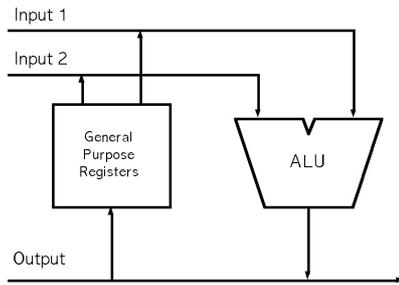


그림 2. RISC architecture



그림 3. RISC의 instruction 구조

OP code는 instruction의 operation을 나타내며, operand는 연산에 필요한 data의 위치와 연산 결과를 저장할 곳의 위치를 나타낸다.

Instruction에서 operand의 위치를 나타내는 address는 여러가지 mode가 있다. 표 2는 address를 표시하는 방법을 보여준다.

Mode	Example	Meaning	When used
Register	ADD R4, R3	$REG[R4] \leftarrow REG[R4] + REG[R3]$	When a value is in a register
Immediate	ADD R4, #3	$REG[R4] \leftarrow REG[R4] + 3$	For constants
Displacement	LOAD R4, 100(R1)	$REG[R4] \leftarrow MEM[100 + REG[R1]]$	Accessing local variables
Register deferred or indirect	LOAD R4, (R1)	$REG[R4] \leftarrow MEM[REG[R1]]$	Accessing using a pointer or a computed address
Indexed	LOAD R3, (R1+R2)	$REG[R3] \leftarrow MEM[REG[R1] + REG[R2]]$	Sometimes useful in array addressing. R1 = base of array, R2 = index amount
Direct or absolute	LOAD R1, (1001)	$REG[R1] \leftarrow MEM[1001]$	Sometimes useful for accessing static data, address constant may need to be large
Memory indirect or memory deferred	LOAD R1, @(R3)	$REG[R1] \leftarrow MEM[MEM[REG[R3]]]$	If R3 is the address of a pointer p, then mode yields *p
Autoincrement	LOAD R1, (R2)+	$REG[R1] \leftarrow MEM[REG[R2]]$ $REG[R2] \leftarrow REG[R2] + d$	Useful for stepping through arrays within a loop. R2 points to start of array, each reference increments R2 by size of an element, d
Autodecrement	LOAD R1, (R2)-	$REG[R1] \leftarrow MEM[REG[R2]]$ $REG[R2] \leftarrow REG[R2] - d$	Same use as autoincrement. Autodecrement/increment can also act as push/pop to implement a stack
Scaled	LOAD R1, 100(R2)[R3]	$REG[R1] \leftarrow MEM[100 + REG[R2] + \dots]$	Used to index arrays. May be applied to any indexed

표 2. Addressing modes with examples, meaning and usage[1]

RISC는 pipeline execution이 가능하다. pipeline이란 instruction의 수행을 몇 가지 단계로 구분하여 다수의 instruction을 동시에 수행할 수 있도록 하는 방법이다. 일반적으로 5단계 pipeline을 사용하며, 각 단계는 다음과 같다.

- Instruction fetch cycle(F)
- Instruction decode/register fetch cycle(D)
- Execution cycle (E)
- Memory access cycle(M)
- Write-back cycle (W)

그림 4는 5단계 pipeline의 수행방법을 개념적으로 나타낸다.

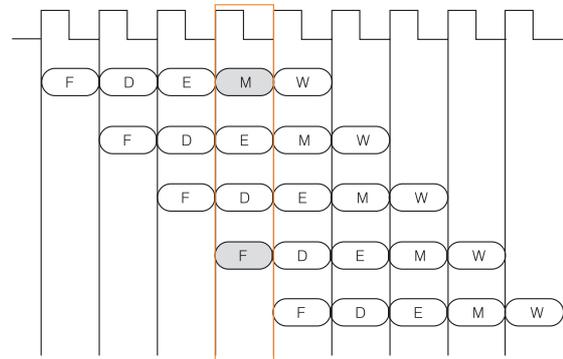


그림 4. Pipeline process

실제로 하나의 instruction은 총 5 clock cycle에 수행되지만, pipeline을 사용하여 1 clock cycle에 하나의 instruction씩 수행이 종료됨을 알 수가 있다. 그림 4에서 짙은 색의 M과 F 단계는 동시에 instruction과 data를 memory에서 access해야 한다. 이를 가능하게 하기 위해서 MCU는 instruction과 data의 cache를 구분하는 Harvard architecture를 사용한다. 그림 5는 Harvard architecture를 보여주고 있다.

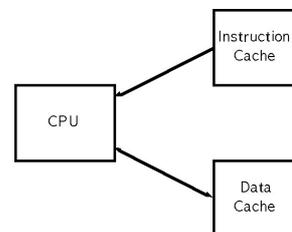


그림 5. Harvard architecture

그림 6은 기본적인 5단계 pipeline RISC MCU의 구조를 나타낸다.

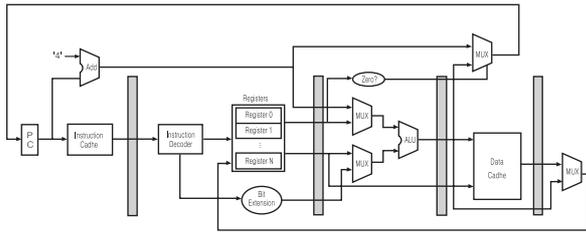


그림 6. Basic architecture of 5 stage pipeline RISC

2. MCU의 advanced topics

II.1절에서는 MCU의 기본적인 개념에 대해서 설명하였다. 본 절에서는 MCU의 성능을 향상시킬 수 있는 방법에 대해서 설명하겠다.

첫 번째는 “Forwarding” 기법으로 data hazard를 예방하기 위한 방법이다. Data hazard는 연이은 instruction이 같은 register를 사용하고자 할 때 일어난다.

```

ADD R1, R2, R3    (REG[R1] ← REG[R2] + REG[R3])
ADD R4, R1, R5    (REG[R4] ← REG[R1] + REG[R5])
    
```

위의 예제에서 2번째 R1에는 R2+R3의 결과가 요구되는데, 2번째 instruction이 R1을 필요로 하는 시점에서 R1에 R2+R3의 결과가 저장되지 못하기 때문에 잘못된 결과가 초래될 수가 있다. 이를 방지하기 위해서 R1에 원하는 결과가 저장될 때까지 pipeline을 진행시키지 않을 수도 있지만, 이는 성능의 저하를 가져오므로 그림 7과 같은 forwarding 기법을 사용하여 성능의 저하를 막을 수가 있다. forwarding이란 execution 단계의 결과를 다음 instruction execution 단계의 입력으로 사용할 수 있도록 하는 방법이다.

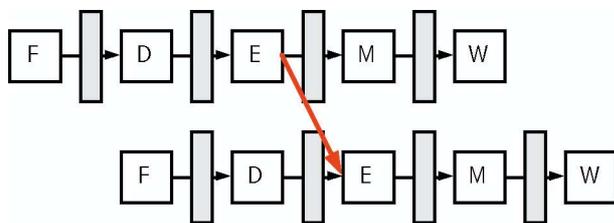


그림 7. Forwarding의 개념

두 번째는 “Super scalar” 기법이다. 일반적인 pipeline은

scalar 방식이라 하며, 이는 한번에 하나의 instruction만 수행할 수가 있다. 하지만 super scalar는 한번에 2개 이상의 instruction을 수행할 수 있는 방법으로 중첩된 pipeline 기법이라 할 수 있다. 그림 8은 2 way super scalar pipeline을 나타내고 있다.

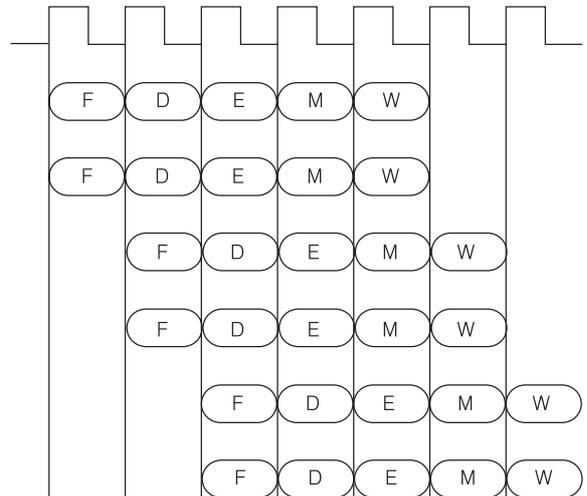


그림 8. 2-way super scalar pipeline

Super scalar pipeline은 1 clock에 다수의 instruction을 수행할 수 있지만, 한번에 수행되는 instruction 사이에 dependency가 존재하지 않아야 한다. 또한, 외부 memory의 access를 위한 stall이나 branch에 의한 stall에 의해서 pipeline을 진행시키지 못할 경우 더 많은 자원의 낭비가 초래된다.

세 번째는 cache의 사용이다. Cache는 MCU의 speed에 비해서 상대적으로 느린 main memory와의 access에서 오는 불이익을 해결하기 위해서 MCU와 main memory 사이에 존재하는 빠른 저용량 memory를 말한다. 표 3은 level에 따른 memory의 용량과 access time등을 정리한 것으로 cache는 register보다 느리고 main memory보다 빠르며, register보다 고용량이고 main memory보다 저용량임을 알 수가 있다.

Level	1	2	3
Name	Register	Cache	Main memory
Typical size	<1KB	<4MB	<4GB
Technology	CMOS or BiCMOS (On-chip)	CMOS SRAM (On-chip or OFF-chip)	CMOS DRAM (Off-chip)
Access time(ns)	2-5	3-10	80-400
Bandwidth(MB/s)	4,000-32,000	800-5,000	400-2,000

표 3. Level에 따른 저장매체의 비교

그림 9는 cache를 이용할 때의 예를 보여주고 있다.

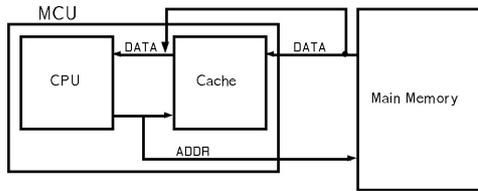
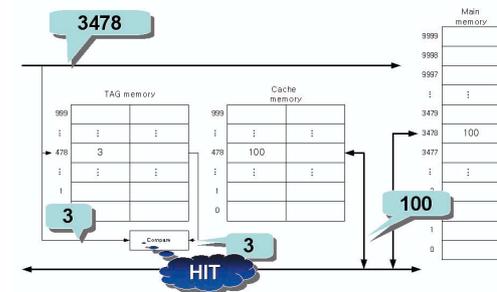


그림 9. Cache와 main memory의 관계

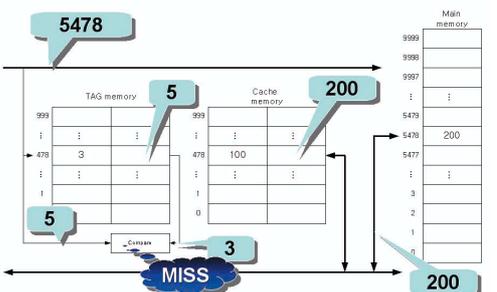
Cache는 address를 저장하는 TAG와 실제 data가 저장되는 fast memory, 저장된 address와 현재 요구된 address를 비교하는 comparator로 구성된다. TAG와 fast memory의 구조에 따라서 3가지 type으로 구현될 수가 있다. 3가지 cache의 type은 다음과 같다.

- Direct mapped cache
- Set associative cache
- Fully associative cache

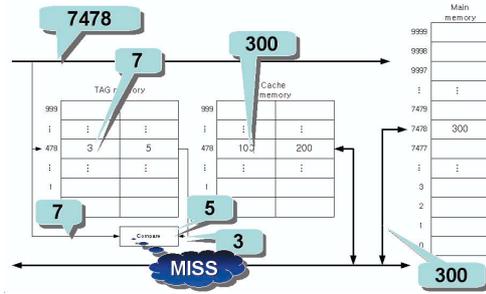
2-way set-associative cache를 예를 들어 설명하겠다.



(a)



(b)



(c)

그림 10. 2-way set-associative cache의 예

그림 10의 (a)는 3478번지의 data(100)이 이미 cache에 저장되어 있는 경우 다시 3478번지가 요구될 때의 상태를 간단하게 나타내고 있다. 그림 10의 (b)는 (a)의 상태에서 5478번지가 요구될 경우 3478의 data가 저장되어 있는 set과 다른 set에 5478의 data(200)을 저장하는 상태를 나타낸다. 그림 10의 (c)는 2개의 set이 차있는 경우 7478번지가 요구될 경우 최근에 접촉한 적이 있는 5478번지를 보존하고 3478번지의 내용을 7478의 data(300)으로 대체하는 상태를 나타내고 있다. 이 때 TAG의 내용도 바뀐다.

마지막으로 branch strategy에 대해서 소개하겠다. Branch는 순차적인 instruction의 수행 도중 조건에 따라서 떨어진 instruction으로 jump를 해야 할 경우가 생길 수 있는 instruction이다. 그림 11은 branch의 기본 개념을 나타낸다.

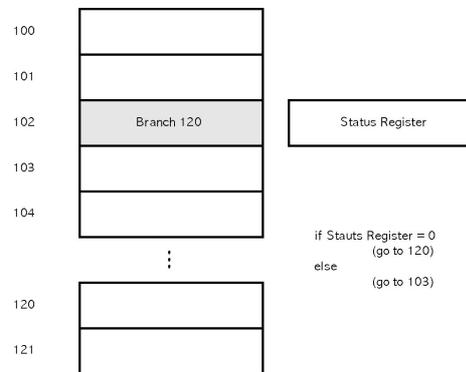


그림 11. Branch의 기본 개념

Branch의 조건을 확인하기 위해서는 pipeline에서 instruction decode 단계까지 수행되어야 한다. 따라서

다음 instruction을 fetch할 것인가, jump할 instruction을 fetch할 것인가를 결정할 수 없어서 그림 12와 같이 다음 instruction을 의미가 없는 instruction으로 대체하여야 한다.

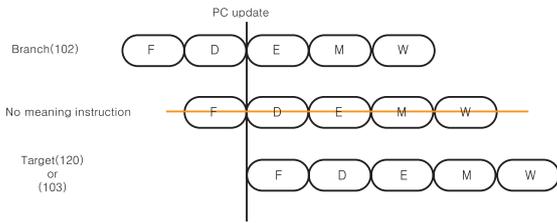


그림 12. Branch penalty

Branch instruction은 전체 program중에서 15~30%를 차지 하기 때문에 그림 12와 같은 branch penalty에 의해서 평균 20%정도의 instruction낭비가 일어나게 된다. 이런 penalty를 줄이기 위해서 branch history bit를 이용한 branch prediction기법이 사용된다. 그림 13은 branch history bit를 나타낸다. “Predict Taken”은 조건이 참이어서 jump를 한다고 예상하는 것이다. 이 경우는 jump할 instruction이 다음에 바로 수행되어진다. “Predict Not Taken”은 조건이 거짓이어서 jump가 일어나지 않고 연속된 다음 instruction을 수행하도록 하는 방식이다. Branch history bit는 branch의 prediction 방법을 기억하고 있다. Prediction이 2번 틀릴 경우 prediction 방법이 바뀌게 된다. “Predict Taken”일 경우, jump할 instruction의 address를 빠르게 해독할 수 있어야 한다. 이를 위해서 cache의 구조와 비슷한 BTB(Branch Target Buffer)를 사용한다.

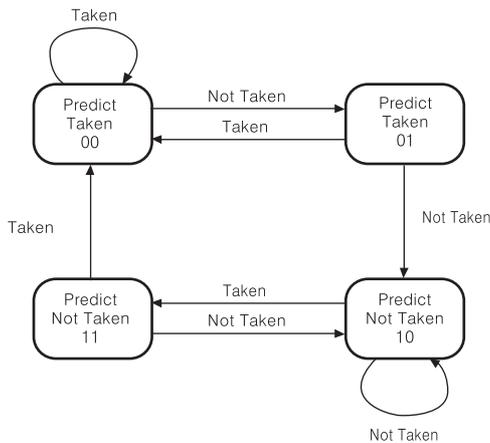


그림 13. Branch history bits의 transition

III. Bus architecture

1. Bus의 기본 개념

Bus란 MCU와 다른 device(memory, input/output device 등)를 연결하는 communication channel을 의미한다. 물리적으로는 wire로 이루어져 있으며 논리적인 의미에서는 master와 slave사이에 signal(또는 data) 전송에 대한 protocol을 의미한다. Master란 일반적으로 MCU를 의미하며, 이는 bus의 사용에 주도적인 역할을 하는 장치이다. Slave는 master의 반대적인 입장이 된다. Bus의 모든 동작은 master가 주체가 되어 기술된다. 예를 들면, “read”는 master가 slave에서 data를 읽어오는 것이다.

현재 사용되는 거의 모든 bus는 shared communication channel로 구성되며, 이는 여러 개의 master와 slave가 하나의 bus를 이용하여 communication을 한다는 의미이다. 여러 개의 master의 bus 사용을 중재하기 위하여 “arbiter”가 필요하다. 그림 14는 shared communication channel의 예를 보여준다.

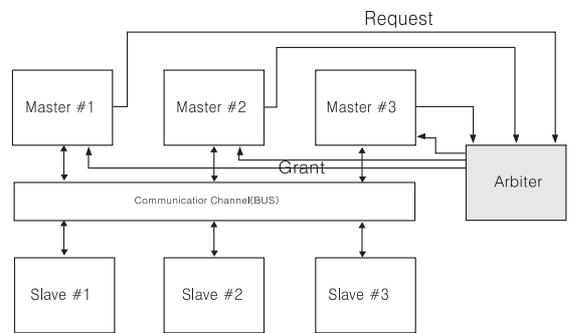


그림 14. Shared communication channel

그림 14에 나타났듯이 master는 bus를 사용하기 위해서 arbiter에 request를 하고, arbiter는 다른 master가 bus를 사용하고 있지 않으면 해당 master에게 bus 사용 허가를 나타내는 grant를 부여하게 된다.

Bus의 기본 3요소는 address bus와 data bus 그리고 control bus이다. Address bus는 master가 요청하는 data가 존재하는 address를 전송하는 line이며, data bus는 실제 data가 전송되는 line이다. Control bus는 data 전송에 관련된 control signal을 전송하는 line이다. Address와 control bus는 master에서 slave로만 전송되는 단방향이지만, data bus는 read와 write를 동시에 해

야 하기 때문에 양방향이거나 read data와 write data bus를 양분해 놓는다. 그림 15의 (a), (b)와 (c)는 bus의 동작 procedure를 간단하게 설명하고 있다.

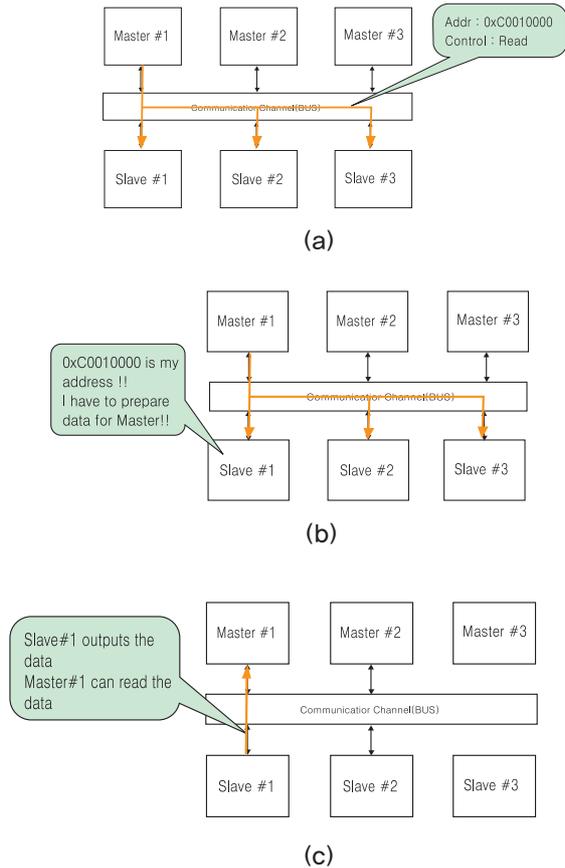


그림 15. Bus architecture의 basic procedure

Bus architecture의 type은 크게 2가지로 분류가 된다. 하나는 memory와 I/O device가 같은 bus를 사용하는 common memory-I/O bus이며, 다른 하나는 memory와 I/O device가 서로 다른 bus를 사용하는 independent I/O bus이다. 일반적으로 memory에 비해 I/O device의 속도가 느리고 memory가 가장 빈번하게 MCU와 communication을 하므로 memory와 I/O device가 같은 bus를 사용하게 되면, memory와의 communication에 손해를 보게 된다. 따라서, independent I/O bus가 주로 사용된다.

그림 16은 independent I/O bus의 구조를 보여준다. Memory와 연결된 bus를 system bus라고 하며, I/O device와 연결된 bus를 peripheral bus라고 한다. System bus와 peripheral bus는 bridge를 통하여 연결된다.

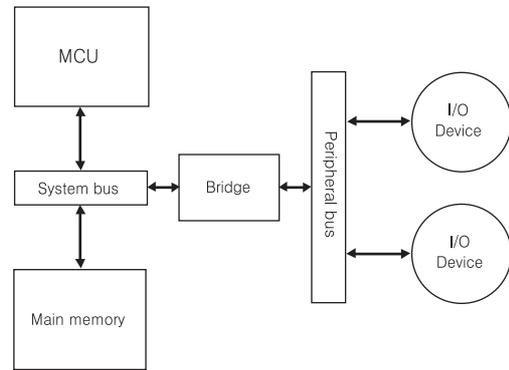


그림 16. Independent I/O bus

표 4는 system bus와 peripheral bus의 특성을 비교한 것이다. 하지만 반드시 표에 나타난 특성을 갖지는 않는다.

	System bus	Peripheral bus
Required speed	100MHz이상	20MHz이내
Synchronization	Synchronous	Asynchronous (or synchronous)
Pipeline	Support	Not support
Burst transfer	Support	Not support
No. of masters	다수 존재 가능	1개(Bridge)
Arbitration	Necessary	Not necessary
Transaction separate (Read/Write line분류)	Separated	Separated or Multiplexed
재전송 요구 또는 error report	Support	Not support

표 4. System bus와 peripheral bus의 비교

2. AHB

AMBA bus는 ARM사에서 제안한 bus 규격이다. AMBA bus는 총 3가지 bus type을 갖는다. System bus로 AHB와 ASB를 제안하며, peripheral bus로 APB를 제안한다. 이 절에서는 AHB에 대해서 언급하며 III.3절에서는 APB에 대해서 언급할 것이다. 더욱 자세한 내용은 [2]를 참조한다.

AMBA를 사용하는 전형적인 system의 구조는 그림 17과 같다.

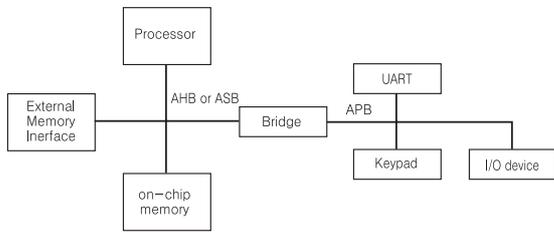


그림 17. Typical AMBA system[2]

AHB는 pipeline transfer를 사용하며, burst transfer를 지원하고, single clock edge operation을 지원한다. 또한, AHB는 read data bus와 write data bus를 분리하여 사용한다.

기본적인 signal들은 다음과 같다.

- HADDR[31:0] : 32 bit system address bus
- HRDATA[31:0] : 32 bit Read data bus (from slave to master)
- HRESP[1:0] : the transfer response (the status of a transfer : OKAY, ERROR, RETRY and SPLIT)
- HREADY : high when slave is ready to send data, low when slave is not ready to send data.
- HWDATA[31:0] : 32 bit write data bus (from master to slave)
- HWRITE : indicates write transfer (high : write, low : read)
- HBUSREQx : a signal from master x to the bus arbiter which indicates that the bus master requires the bus.
- HGRANTx : this signal indicates that bus master x is currently the highest priority master, so the master can access the bus.

그림 18은 AHB의 master와 slave간의 연결을 나타내고 있으며, 그림 19는 write operation에 대한 동작 예를 보여주고 있다.

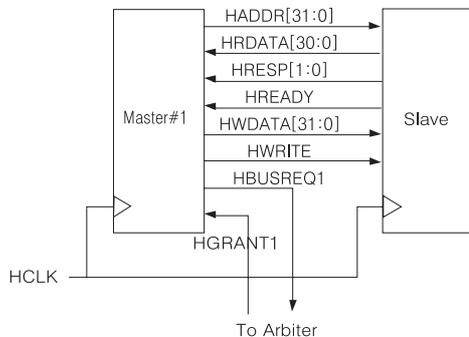


그림 18. AHB의 signal 연결

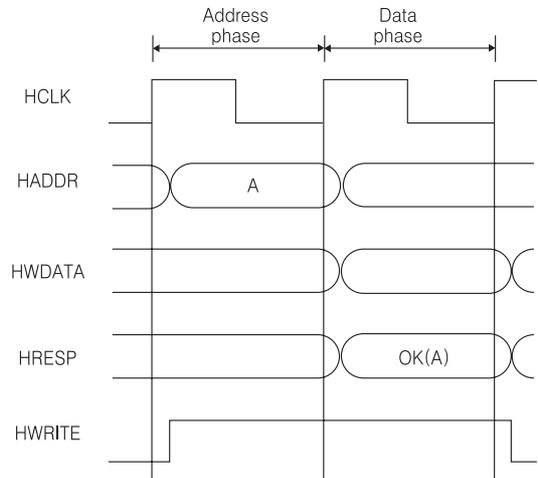


그림 19. AHB write operation의 예

3. APB

APB는 AMBA bus중 peripheral bus에 해당한다. AHB에 비해 간단한 구조와 protocol을 갖고 있으며, burst transfer를 지원하지 않고, arbitration이 없이 하나의 master만 지원된다. 그리고, transfer의 결과를 통보하는 response signal이 존재하지 않고, power의 소모를 줄이기 위해서 각 line의 transition을 최소화 하였다.

APB의 기본적인 signal들은 다음과 같다.

- PADDR[31:0] : APB address bus
- PRDATA[31:0] : the read data bus is driven by the selected slave during read cycle (up to 32 - bits)
- PWDATA[31:0] : the write data bus is driven by the peripheral bus bridge during write cycles (up to 32-bits)
- PWRITE : when HIGH this signal indicates a write access and when LOW a read access.
- PSELx : this signal indicates that the slave device is selected.
- PENABLE : the enable signal is used to indicate the second cycle of an APB transfer.

그림 20은 APB에서의 master와 slave사이의 signal 연결을 보여주며, 그림 21은 APB read operation에 대한 예를 보여준다.

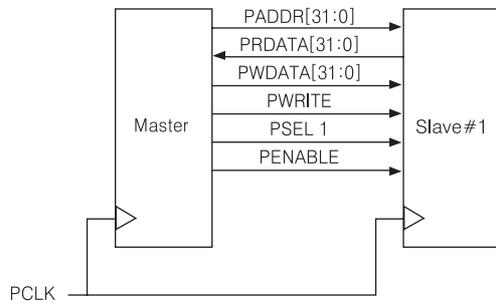


그림 20. APB의 signal 연결

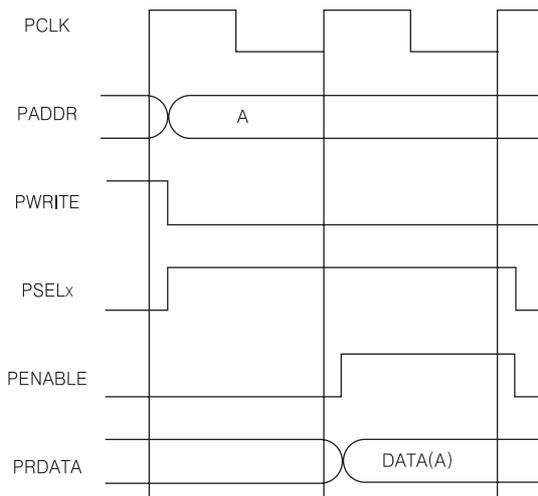


그림 21. APB read operation의 예

그림 21에서 볼 수 있듯이 APB는 다음 transfer 요구가 있을 때까지 address와 data를 지속시켜서 transition을 최소화한다. 이로 인해 power 소모를 줄일 수가 있다.

IV. 결론

이번 호에서는 SoC의 platform component들 중에서 가장 중심이 되는 MCU와 bus에 대해서 설명하였다.

MCU는 기본 개념과 data forwarding이나 cache, branch process같은 MCU의 성능을 향상 시킬 수 있는 기술들에 대해 설명하였고, Bus에 대해서는 bus의 기본 개념과 ARM사에서 제안하는 AMBA bus를 예를 들어 bus의 동작에 대한 설명하였다.

SoC platform의 주요 component들 중에 operating system과 standard interface에 관련된 부분은 다음 호에 계속하여 연재한다.

References

- [1] John L. Hennessy & David A. Patterson, Computer Architecture - A Quantitative Approach, 2nd Edition Morgan Kaufmann, 1995.
- [2] "AMBA™ Specification (Rev 2.0)", ARM.

SITI NEWS

(주)에이디칩스의 EISC CPU IP기증

SITI 기업회원사인 (주)에이디칩스 (대표 권기홍, www.adc.co.kr)는 27일 정보통신대학교(ICU) 시스템집적기술연구소(SITI·소장 박신중)에 자사가 개발한 32비트 확장명령형구조(EISC)방식의 마이크로프로세서(CPU)와 소스코드·매뉴얼·시뮬레이터 등 각종 개발 장비를 기증했다.

Mentor사와 1차년도 공동 연구 개시

한국정보통신대학교(ICU·총장 안병엽)는 지난 3월 26일 서울 그랜드인터컨티넨탈호텔에서 미국 멘토그래픽스사(회장 윌든 라인스)와 체결한 최신 시스템온칩(SoC) 에뮬레이터인 셸라로시스템에 대한 기증 및 공동연구 협력을 위한 조인식의 일환으로 셸라로를 이용한 virtual platform구축 및 산업체와의 공동활용을 위한 웹 기반의 원격 지원 시스템 구축에 관해 향후 3년간 30만달러의 연구개발비를 지원받아 공동연구를 수행하게 되었는데 1차년도 분10만달러를 지난 7월 말 지원받아 공동연구를 시작하였다.

기업회원을 위한 셸라로 교육 실시

SITI에서는 셸라로의 원격 지원 시스템 구축의 일환으로 기업회원에 대해 셸라로 1차 및 2차 교육을 지난 9월2~3 및 9월 25일 실시하였다. 1차 교육은 셸라로의 HW 및 SW적인 구성, memory model, compilation, co-simulation, in-situ verification에 대한 강의와 실습을 위한 lab으로 이루어졌다. 올해 하반기에 셸라로를 사용할 (주) 텔스전자, (주)에이로직스, (주)에스텔 기업회원들이 1차로 교육을 받았으며, 2차교육은 셸라로와 연동하여 Seamless 교육이 실시되었다.

SITI 회원기업 제1회 Workshop 개최

- 일 시 : 2002. 7. 3 ~ 2002. 7. 5

- 장 소 : 오대산 호텔 (강원도 평창군)
- 내 용 : 연구소 분야별 단기강좌 및 세부 연구내용 소개, 전문가 초청 강연, SITI 운영회의

본 워크샵은 SITI 출범 후 처음 갖는 기업회원 워크샵으로서 기업의 연구개발 활동에 도움이 될 수 있도록 기본 원리를 중심으로 관련기술에 대한 단기강좌를 진행했고 연구발표에서는 현재 SITI에서 준비하고 있는 IP와 연구의 중간결과를 발표하였다.



또한 초청강연에서 외부의 전문가들을 초빙하여 SoC 정책, IP 유통, 세계적인 trend등을 소개하였고 기존 및 신규 기업 회원들이 참석한 가운데 운영회의를 개최하여 2002년 하반기 추진계획 및 장기 비전에 대해 열띤 토의를 하였다. 아래는 각 Lab에서 소개한 단기강좌와 연구발표의 주제들이다.

단기강좌

- Wireless Communication SoC Design
- RF Transceiver System Design
- MPEG-4 및 H.263 핵심기술
- 무선자원관리

연구발표

- Bluetooth
- 802.11a

- 3/3.5G Wireless Communication System
- 4G Wireless Communication System
- SoC Platform을 위한 RF System 구현방안
- 5 GHz 대역의 RFIC 구현
- SDR을 위한 RF Transceiver 요소기술
- Transcoding between G.723.1 and AMR
- Multimedia SoC Platform
- Radio Resource Management in WCDMA
- WCDMA/FDD Power Control 요소기술
- Scheduling

3개 기업회원 신규 가입

3개 기업(주마젤텔레콤, (주)텔슨전자, (주)시스온칩)이 SITI 회원 기업에 신규 가입하였다. 아래는 각 기업에 대한 소개이다.

■ (주)마젤텔레콤 (<http://www.mazeltelecom.com>)

RF Solution 업체로서 2000년 설립되었다. 제품 생산보다는 무선통신분야의 연구개발에 중점을 두고있다. 주 개발 분야는 Bluetooth 2.0 system, IEEE802.11a & b RF Solution, Ultra wide band system, RF module for 4G radio using MEMS, Multi-band VCO 등이다.

■ (주)텔슨전자 (<http://www.telson.co.kr>)

“새로운 것이 아니면 만들지 않는다”라는 기치아래 1992년 창립한 텔슨전자는 세계 최초의 광역무선 호출기 개발(WAP), CDMA분야 세계 최초의 WAP Browser 개발 등으로 세계 최고의 기술력을 인정 받고 있으며 특히, 모토롤라, 노키아 등 세계 최고의 휴대폰 회사들과 전략적 제휴를 맺고 휴대폰을 생산, 공급하고 있다.

■ (주)시스온칩 (<http://www.sysonchip.com>)

이동통신분야에 특화된 IT 전문기업으로 CDMA Cellular/PCS Modem 설계기술에서 WLL Modem 설계 기술 및 IMT-2000 Modem설계기술에 이르기까지 최고 수준의 CDMA ASIC 및 FPGA 기술을 보유하고 있으며 현재 비동기식 Channel Codec개발, Turbo decoder ASIC 개발, Turbo decoder/Viterbi decoder IP사업, Bluetooth를 응용한 다양한 응용 제품 개발, GPS용 수신기 개발 등을 하고있다.

기업 회원 모집

• 기업회원제란

기업이 시스템집적기술연구소에서 보유하고 있는 기술, 시설 및 장비 등을 기업의 연구개발에 활용하고, 본 연구소의 우수 학생들을 조기에 기업의 연구 인력으로 확보하기 위해 본 연구소에 매년 일정액을 출연하여 연구소의 회원사가 되는 제도

• 기업회원제의 도입목적

- ▶ 학교는 산업체 요구를 수용하여
 - 산업체가 필요로 하는 실질적 기술을 개발
 - 산업체에서 즉시 활용 가능한 실무전문인력을 양성
- ▶ 기업은 회원가입을 통해
 - 실무기술을 갖춘 고급전문인력을 연구개발에 활용
 - 기업이 단독으로 보유하기 힘든 고가 또는 첨단 연구개발 시설을 활용
 - 연구소가 보유하고 있는 IP를 활용하여 경제적으로 시의 적절하게 기술 개발이 가능
 - 새로운 기술 적용을 학교가 먼저 시도함으로써 기업은 검증된 기술의 사용이 가능
 - 기존 연구인력에 대한 재교육도 가능

• 회원에 대한 혜택

• 시설사용

- ▶ 연구소가 보유하고 있는 연구개발 시설 및 장비 등을 공동 활용
- ▶ 연구소는 회원사들의 의견을 수렴하여 지속적으로 첨단 시설 및 장비들을 확보

• 기술자료 제공

- ▶ 연구소가 보유하고 있는 기술자료 제공
 - 연구소에서 발행하는 기술문서, 논문 등 기술자료를 제공
 - 최신기술에 대한 state-of-the-art report
 - 시스템 구현을 위한 기술 실무 등
- ▶ 년 2회 워크샵을 통하여 새로운 설계 툴의 소개 및 이를 이용한 설계 예 및 분석 결과 등 제공

• 위탁교육

- ▶ 회원사 연구원들에게 ICU에서 학위과정을 이수할 수 있는 기회 부여
 - 수시/정시모집의 특별전형을 통해 선발
- ▶ 단기 전문강좌 개설
 - 강좌내용은 회원사 의견을 수렴하여 결정
 - 년 2회 워크샵과 연결하여 short-course 형태로 개설
- ▶ 주요 시설 및 장비 사용법 교육

• 기술지원

- ▶ 첨단 시설 활용기술 지원
 - 연구소 시설을 활용하여 기업 개발업무를 수행할 경우 시설사용에 필요한 기술지원 제공
- ▶ 새로운 설계방법론 기술지원
 - 정기적인 워크샵 등을 통하여 새로운 설계 툴의 소개 및 이를 이용한 설계 예 및 분석 결과 제공

• 전담연구인력 배정

- ▶ 전담연구인력 배정
 - 각 회원사의 특성에 맞추어 전담 교수 및 학생 배정
 - 회원사의 기술자문 및 지도, 교육 등 회원사의 SITI 업무창구 역할 수행

• 기업회원 운영회의 참여

- ▶ 기업회원 운영회의에 위원으로 참여
- ▶ 년 2회 전체 운영회의 개최
 - 기술개발 분야 조정
 - SITI 운영 전반에 관한 의견 수렴

• 연회비

중소/벤처 기업: 2,000만원
대기업: 5,000만원

• 연락처

ICU 시스템집적기술연구소
전화: 042-866-6921~2
E-Mail: hkpark@icu.ac.kr

편집위원

위원장 : 박 신종 (ICU교수)

위 원 : 김 남철 (경북대 교수)

신 민철 (ICU 교수)

이 귀로 (KAIST 교수)

이 재흥 (한밭대 교수)

장 경선 (충남대 교수)

한 영남 (ICU 교수)

간 사 : 박 향금 (ICU)

김 학선 (한밭대 교수)

유 형준 (ICU 교수)

이 윤석 (한국외대 교수)

이 희덕 (충남대 교수)

최 해욱 (ICU 교수)

제 1 권 제 2 호

2002년 9월 26일 인쇄

2002년 9월 30일 발행

SITI Review (비매품)

발 행 인 : 박 신 종

편 집 인 : 신 민 철

발 행 처 : 한국정보통신대학교 시스템집적기술연구소
(<http://siti.re.kr>)

주 소 : 대전광역시 유성구 문지동 103-6 ☎ 305-714

전 화 : 042-866-6921

팩 스 : 042-866-6923

제 작 : 죽림인쇄사 (042-487-4012)